

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Mitsuru NAGATA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: VARIABLE RESISTANCE CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-155022	May 30, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
\_\_\_\_\_  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   5 月 3 0 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 1 5 5 0 2 2  
Application Number:

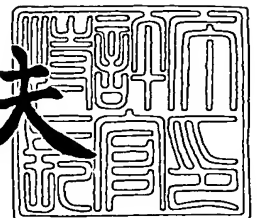
[ST. 10/C]:            [ J P 2 0 0 3 - 1 5 5 0 2 2 ]

出   願   人            株式会社東芝  
Applicant(s):

2 0 0 4 年   1 月   7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 3 - 3 1 0 9 1 1 6

【書類名】 特許願

【整理番号】 14156901

【提出日】 平成15年 5月30日

【あて先】 特許庁長官殿

【国際特許分類】 H03G 3/02

【発明の名称】 可変抵抗回路

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 永 田 満

【特許出願人】

【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

## 【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

## 【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

## 【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変抵抗回路

【特許請求の範囲】

【請求項 1】

入力端子と所定電位端子との間に直列に接続された第 1、第 2、…、第  $n-1$  ( $n$  は 3 以上の整数) の抵抗と、

前記入力端子と前記第 1 の抵抗の一端との接続点、前記第 1 の抵抗の他端と前記第 2 の抵抗の一端との接続点、…、前記第  $n-2$  の抵抗の他端と前記第  $n-1$  の抵抗の一端との接続点、前記  $n-1$  の抵抗の他端と前記所定電位端子との接続点にそれぞれの一端が接続され、他端が全て出力端子に接続された第 1、第 2、…、第  $n$  のスイッチとを有する抵抗器と、

前記第 1、第 2、…、第  $n$  のスイッチのオン／オフを制御するスイッチング制御信号を生成して前記第 1、第 2、…、第  $n$  のスイッチに与えるスイッチング制御回路と、

を備え、

前記スイッチング制御回路は、それぞれ隣接する前記第 1 のスイッチと前記第 2 のスイッチ、前記第 2 のスイッチと前記第 3 のスイッチ、…、前記第  $n-1$  のスイッチと前記第  $n$  のスイッチとの組み合わせにおける一組において、一方のスイッチを  $a/b$  ( $a$ 、 $b$  は、 $a < b$  を満たす正数) デューティで、他方のスイッチを  $(b-a)/b$  デューティで相補的かつ周期的にオン／オフさせる前記スイッチング制御信号を前記第 1、第 2、…、第  $n$  のスイッチに与えることで、前記一方のスイッチのみをオンした場合の減衰量  $x$  と前記他方のスイッチのみをオンした場合の減衰量  $y$  とを  $a : (b-a)$  に内分した減衰量を得ることで、前記第 1、第 2、…、第  $n-1$  のスイッチのいずれか 1 つをオンすることで得られる  $n$  個の減衰ステップに加えて、 $m$  ( $m$  は、正の整数) 個の追加減衰ステップを生成することを特徴とする可変抵抗回路。

【請求項 2】

前記一方のスイッチ及び／又は前記他方のスイッチをオン／オフさせる周期は、可聴周波数の逆数より小さいことを特徴とする請求項 1 記載の可変抵抗回路。

**【請求項 3】**

前記スイッチング制御回路は、少なくとも  $n$  個の入力データを与えられ、少なくとも  $n + m$  個の出力データに変換する変換回路と、

前記出力データを与えられ、前記スイッチング制御信号を生成して出力するデコーダとを有することを特徴とする請求項 1 又は 2 記載の可変抵抗回路。

**【請求項 4】**

前記入力端子と前記第 1 の抵抗の一端との接続点と前記第 1 のスイッチの前記一端との間、前記第 1 の抵抗の他端と前記第 2 の抵抗の一端との接続点と前記第 2 のスイッチの前記一端との間、…、前記第  $n - 2$  の抵抗の他端と前記第  $n - 1$  の抵抗の一端との接続点と前記第  $n - 1$  のスイッチの前記一端との間、前記  $n - 1$  の抵抗の他端と前記所定電位端子との接続点と前記第  $n$  のスイッチの前記一端との間の少なくともいずれか一箇所に、抵抗が接続されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の可変抵抗回路。

**【請求項 5】**

入力端子と所定電位端子との間に直列に接続された第 1 a、第 2 a、…、第 ( $n - 1$ ) a の抵抗と、

前記入力端子と前記第 1 a の抵抗の一端との接続点に一端が接続された第 1 b の抵抗と、前記第 1 a の抵抗の他端と前記第 2 a の抵抗の一端との接続点に一端が接続された第 2 b の抵抗と、…、第 ( $k - 1$ ) ( $k$  は、 $k < n - 1$  を満たす正数) a の抵抗の他端と第  $k$  a の抵抗の一端に一端が接続された第  $k$  b の抵抗と、

前記第 1 b の抵抗の他端、前記第 2 b の抵抗の他端、…、前記第  $k$  b の抵抗の他端、第  $k$  a の抵抗の他端と ( $k + 1$ ) a の一端との接続点、…、前記 ( $n - 1$ ) a の抵抗の他端と前記所定電位端子との接続点にそれぞれの一端が接続され、他端が全て出力端子に接続された第 1、第 2、…、第  $n$  のスイッチとを有する抵抗器と、

前記第 1、第 2、…、第  $n$  のスイッチのオン／オフを制御するスイッチング制御信号を生成して前記第 1、第 2、…、第  $n$  のスイッチに与えるスイッチング制御回路と、

を備え、

前記スイッチング制御回路は、それぞれ隣接する前記第1のスイッチと前記第2のスイッチ、前記第2のスイッチと前記第3のスイッチ、…、前記第 $k-1$ のスイッチと前記第 $k$ のスイッチとの組み合わせにおける一組において、一方のスイッチのみをオンさせたときの減衰量を $x$ 、他方のスイッチのみをオンさせたときの減衰量を $y$ としたとき、 $x$ と $y$ の中間の減衰量が得られるように、前記一方のスイッチ及び前記他方のスイッチを同時にオンし、または前記一方のスイッチをオンさせて前記他方のスイッチを $a/b$ デューティで周期的にオン／オフさせ、あるいはまた前記一方のスイッチを $a/b$ デューティで周期的にオン／オフさせ前記他方のスイッチをオンさせるように、前記スイッチング制御信号を前記第1、第2、…、第 $n$ のスイッチに与え、

前記一方のスイッチのみをオンさせたときの減衰量を $x$ 、前記他方のスイッチのみをオンさせたときの減衰量を $y$ としたとき、前記第1 $b$ 、第2 $b$ 、…、第 $k$  $b$ の抵抗は、前記一方のスイッチ及び前記他方のスイッチを同時にオンさせたときに、減衰量が $(x+y)/2$ となるようにそれぞれの抵抗値が設定されており、

これにより、前記一方のスイッチをオンさせ、前記他方のスイッチを $a/b$ デューティで周期的にオン／オフさせることで、減衰量 $x$ と減衰量 $(x+y)/2$ とを $a:(b-a)$ に内分した減衰量を生成し、前記一方のスイッチを $a/b$ デューティで周期的にオン／オフさせ、前記他方のスイッチをオンさせることで、減衰量 $(x+y)/2$ と減衰量 $y$ とを $(b-a):a$ に内分した減衰量を生成するようにしたことを特徴とする可変抵抗回路。

#### 【請求項6】

前記一方のスイッチ及び／又は前記他方のスイッチをオン／オフさせる周期は、可聴周波数の逆数より小さいことを特徴とする請求項5記載の可変抵抗回路。

#### 【請求項7】

前記スイッチング制御回路は、少なくとも $n$ 個の入力データを与えられ、少なくとも $n+m$ 個の出力データに変換する変換回路と、

前記出力データを与えられ、前記スイッチング制御信号を生成して出力するデコードとを有することを特徴とする請求項5又は6記載の可変抵抗回路。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は可変抵抗回路に係わり、例えばオーディオアンプ等に用いるのに好適なものである。

**【0002】****【従来の技術】**

図25に、デジタル制御による可変抵抗回路に含まれる抵抗群及びアナログスイッチ群を含む抵抗器の構成例を示す。

**【0003】**

抵抗群として、入力端子INと接地電圧端子REFとの間に直列に接続された抵抗R0～R36を備えている。アナログスイッチ群として、入力端子IN、各抵抗の各接続点（タップ）、又は接地電圧端子REFのいずれかに一端が接続され、出力端子OUTに他端を接続された複数のアナログスイッチS0～S37を備えている。

**【0004】**

ここで、図26に示されたアナログスイッチSは、具体的には例えば図27に示されるように、制御端子Cから入力される制御信号によりオン／オフを制御されるPチャネルトランジスタPT101及びNチャネルトランジスタNT101を備えている。

**【0005】**

各抵抗R0～R36の抵抗値は、減衰ステップと全体として必要な抵抗値とを考慮して決定され、減衰量はどの抵抗の接続点に接続されたアナログスイッチをオンするかにより決定される。

**【0006】**

図25に示された回路では、減衰ステップが1dBであり、0～-36dBの範囲において1dB間隔で37ステップ、さらに-∞を加えて合計で38ステップ存在し、抵抗値の合計が20kΩとなっている。

**【0007】**



図 25 において、スイッチ S0～S37 のオン／オフを制御するためには、38 種類のスイッチング制御信号 S0～S37 が必要となる。このスイッチング制御信号 S0～S37 を生成するスイッチング制御回路としてのデコーダ 1100 と抵抗器 1101 との接続関係を、図 28 に示す。

#### 【0008】

デコーダ 1100 に 6 ビットのスイッチング制御信号 A～F が入力され、38 本の選択線へのスイッチング制御信号にデコードして図 25 に示された抵抗群、スイッチ群から成る抵抗器 1101 に出力する。

#### 【0009】

抵抗器 1101 は、38 本のスイッチング制御信号を与えられ、スイッチ S0～S37 がオン／オフして所望の減衰量に設定される。

#### 【0010】

デコーダ 1100 は、具体的には例えば図 29 に示された回路構成を有する。この回路に含まれる図 30 に示された D ラッチは、図 31 に示されるようにインバータ INV1～INV2、クロックドインバータ CINV1～CINV2 を含む構成を備えている。

#### 【0011】

入力される 6 ビットのスイッチング制御信号 A～F、38 本の選択線へのスイッチング制御信号 S0～S37、減衰量との関係は、例えば図 32 に示されるようである。

#### 【0012】

ところで、ピーク値 1 V の正弦波を、上記可変抵抗回路を用いて 0 dB から -1 dB に減衰量を変化させると、図 33 に示されるような波形が得られる。ここで分かるように、減衰量を変化させた瞬間に、DC 値が 109 mV も変化する。この値は、ピーク値の 10 % 以上の値に相当し、非常に耳障りなクリック音を発生させることとなる。

#### 【0013】

図 34 に、抵抗器 1001 と、デコーダ 1100 とを含む上記可変抵抗回路を、IC 化されたボリュームシステムに適用した構成例を示す。IC では、大きな

容量のコンデンサを作成することができないので、このようにアンプ 1001 と可変抵抗回路とが DC 直結される場合が多い。

#### 【0014】

抵抗器 1001 にデコーダ 1100 からのスイッチング制御信号が入力されてスイッチがオン／オフし、所望の減衰量に設定される。アンプ 1001 からの出力が抵抗器 1101 の入力端子 IN に入力されて所望の減衰量まで減衰され、出力端子 OUT からの出力がバッファ 1004 から成るボルテージフォロワ回路に入力されて出力される。

#### 【0015】

ここで、抵抗器 1001 は、一方の入力端子 IN にアンプ 1001 からの入力信号が入力され、他方の接地端子 REF には抵抗 1006、1007、バッファ 1005 により生成された電圧  $V_{DD}/2$  が入力される。

#### 【0016】

回路上は、アンプ 1001 から出力された信号は電圧  $V_{DD}/2$  を中心に振れ、また抵抗器 1101 の接地端子 REF も電圧  $V_{DD}/2$  に接地されているので、抵抗器 1101 の入力端子 IN と接地端子 REF との間には DC 電位は発生しないはずである。

#### 【0017】

しかし、実際にはアンプ 1001 とバッファ 1005 は、それぞれオフセット電圧  $V_{os1}$ 、 $V_{os2}$  を有する。このため、図 35 に示されたように  $V_{os1} - V_{os2}$  なる DC 電位が抵抗器 1001 の両端に発生している。この値は統計量であり、ばらつきが存在するが、最悪の場合数十 mV となる可能性がある。

#### 【0018】

このようなオフセット電圧が原因となり、図 34 のボリュームシステムで 0 dB から -1 dB に減衰させると数 mV のクリック音が発生する可能性がある。

#### 【0019】

これは、図 33 を用いて説明したピーク値 1 V の正弦波に対して 109 mV の減衰が発生したときのクリック音と比べるとかなり小さい。しかし、図 33 に示されたような大きな音が出ている時はマスキング効果によりクリック音が目立た

ないのに反し、オフセット電圧が原因となるクリック音は、無音状態でも発生するため、数mVでも問題になることが多い。

#### 【0020】

そこで、図36に示されるように、アンプ1001と抵抗器1001との間に外付けで大容量のカップリングコンデンサ1008を接続する場合もある。しかし、このようなコンデンサはコストが高い上に、ICに余分な外部端子を増設する必要がある。さらに、コンデンサ自体の占有体積も大きいので、オーディオ装置等の全体の設計にも支障をきたすなど、問題が多い。

#### 【0021】

これらの問題を解決するため、可変抵抗回路における減衰ステップ数を増やすことが考えられる。しかし、この場合には各抵抗の抵抗値が小さくなり、精度を上げる必要が生じてその結果占有面積が大きくなる。

#### 【0022】

さらに、各抵抗と配線との接続部分における寄生抵抗のバラツキや非線形歪が生じるなどの副作用が大きいため、抵抗の数を増やすことによる減衰ステップ数の増加も困難である。

#### 【0023】

従来の変抵抗回路を開示する文献として、以下のものがある。

#### 【0024】

##### 【特許文献1】

特開2002-26670号公報

##### 【特許文献2】

特開2001-36361号公報

#### 【0025】

##### 【発明が解決しようとする課題】

上述のように、従来は減衰量を変える際に発生するクリック音の抑制が困難であった。

#### 【0026】

本発明は上記事情に鑑み、回路規模の増加を最小限に抑えつつ、クリック音を

抑制することが可能な可変抵抗回路を提供することを目的とする。

#### 【0027】

##### 【課題を解決するための手段】

本発明の可変抵抗回路は、入力端子と所定電位端子との間に直列に接続された第1、第2、…、第 $n-1$ の抵抗と、

前記入力端子と前記第1の抵抗の一端との接続点、前記第1の抵抗の他端と前記第2の抵抗の一端との接続点、…、前記第 $n-2$ の抵抗の他端と前記第 $n-1$ の抵抗の一端との接続点、前記第 $n-1$ の抵抗の他端と前記所定電位端子との接続点にそれぞれの一端が接続され、他端が全て出力端子に接続された第1、第2、…、第 $n$ のスイッチとを有する抵抗器と、

前記第1、第2、…、第 $n$ のスイッチのオン／オフを制御するスイッチング制御信号を生成して前記第1、第2、…、第 $n$ のスイッチに与えるスイッチング制御回路とを備え、

前記スイッチング制御回路は、それぞれ隣接する前記第1のスイッチと前記第2のスイッチ、前記第2のスイッチと前記第3のスイッチ、…、前記第 $n-1$ のスイッチと前記第 $n$ のスイッチとの組み合わせにおける一組において、一方のスイッチを $a/b$ デューティで、他方のスイッチを $(b-a)/b$ デューティで相補的かつ周期的にオン／オフさせる前記スイッチング制御信号を前記第1、第2、…、第 $n$ のスイッチに与えることで、前記一方のスイッチのみをオンした場合の減衰量 $x$ と前記他方のスイッチのみをオンした場合の減衰量 $y$ とを $a:(b-a)$ に内分した減衰量を得ることで、元々有していた $n$ 個の減衰ステップに加えて、さらに $m$ 個の追加減衰ステップを生成することを特徴とする。

#### 【0028】

ここで、前記一方のスイッチ及び／又は前記他方のスイッチをオン／オフさせる周期は、可聴周波数の逆数より小さいことが望ましい。

#### 【0029】

前記スイッチング制御回路は、少なくとも $n$ 個の入力データを与えられ、少なくとも $n+m$ 個の出力データに変換する変換回路と、前記出力データを与えられ、前記スイッチング制御信号を生成して出力するデコーダとを有することもでき

る。

### 【0030】

また、前記入力端子と前記第1の抵抗の一端との接続点と前記第1のスイッチの前記一端との間、前記第1の抵抗の他端と前記第2の抵抗の一端との接続点と前記第2のスイッチの前記一端との間、…、前記第 $n-2$ の抵抗の他端と前記第 $n-1$ の抵抗の一端との接続点と前記第 $n-1$ のスイッチの前記一端との間、前記 $n-1$ の抵抗の他端と前記所定電位端子との接続点と前記第 $n$ のスイッチの前記一端との間の少なくともいずれか一箇所に、抵抗が接続されていてもよい。

### 【0031】

本発明の可変抵抗回路は、入力端子と所定電位端子との間に直列に接続された第1a、第2a、…、第 $(n-1)$ aの抵抗と、

前記入力端子と前記第1aの抵抗の一端との接続点に一端が接続された第1bの抵抗と、前記第1aの抵抗の他端と前記第2aの抵抗の一端との接続点に一端が接続された第2bの抵抗と、…、第 $(k-1)$ aの抵抗の他端と第kaの抵抗の一端に一端が接続された第kbの抵抗と、

前記第1bの抵抗の他端、前記第2bの抵抗の他端、…、前記第kbの抵抗の他端、第kaの抵抗の他端と $(k+1)$ aの一端との接続点、…、前記 $(n-1)$ aの抵抗の他端と前記所定電位端子との接続点にそれぞれの一端が接続され、他端が全て出力端子に接続された第1、第2、…、第 $n$ のスイッチとを有する抵抗器と、

前記第1、第2、…、第 $n$ のスイッチのオン／オフを制御するスイッチング制御信号を生成して前記第1、第2、…、第 $n$ のスイッチに与えるスイッチング制御回路とを備え、

前記スイッチング制御回路は、それぞれ隣接する前記第1のスイッチと前記第2のスイッチ、前記第2のスイッチと前記第3のスイッチ、…、前記第 $k-1$ のスイッチと前記第kのスイッチとの組み合わせにおける一組において、一方のスイッチのみをオンさせたときの減衰量を $x$ 、他方のスイッチのみをオンさせたときの減衰量を $y$ としたとき、 $x$ と $y$ の中間の減衰量が得られるように、前記一方のスイッチ及び前記他方のスイッチを同時にオンし、または前記一方のスイッチ

をオンさせて前記他方のスイッチを  $a/b$  デューティで周期的にオン／オフさせ、あるいはまた前記一方のスイッチを  $a/b$  デューティで周期的にオン／オフさせ前記他方のスイッチをオンさせるように、前記スイッチング制御信号を前記第 1、第 2、…、第  $n$  のスイッチに与え、

前記一方のスイッチのみをオンさせたときの減衰量を  $x$ 、前記他方のスイッチのみをオンさせたときの減衰量を  $y$  としたとき、前記第 1  $b$ 、第 2  $b$ 、…、第  $k$   $b$  の抵抗は、前記一方のスイッチ及び前記他方のスイッチを同時にオンさせたときに、減衰量が  $(x + y) / 2$  となるようにそれぞれの抵抗値が設定されており、

これにより、前記一方のスイッチをオンさせ、前記他方のスイッチを  $a/b$  デューティで周期的にオン／オフさせることで、減衰量  $x$  と減衰量  $(x + y) / 2$  とを  $a : (b - a)$  に内分した減衰量を生成し、前記一方のスイッチを  $a/b$  デューティで周期的にオン／オフさせ、前記他方のスイッチをオンさせることで、減衰量  $(x + y) / 2$  と減衰量  $y$  とを  $(b - a) : a$  に内分した減衰量を生成するようにしたことを特徴とする。

#### 【0032】

##### 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

#### 【0033】

##### (1) 第 1 の実施の形態

図 1 に、本実施の形態による可変抵抗回路の構成を示す。この可変抵抗回路は、スイッチング制御回路と抵抗器 107 とを備え、スイッチング制御回路は、デコーダ 102、コンパレータ 103、アップ／ダウンカウンタ 104 を含む変換回路と、デコーダ 105、デコーダ 106 とを有する。

#### 【0034】

入力データ 101 は、従来と同様に抵抗器 107 に含まれるスイッチの数と同じ数の信号であり、デコーダ 102、コンパレータ 103、アップ／ダウンカウンタ 104 を含む変換回路によってスイッチの数より多い減衰ステップ数に相当する信号に変換する。デコーダ 105、106 はこの信号を与えられて、後述す

るデューティで各スイッチをオン／オフさせるスイッチング制御信号を生成してスイッチに与える。

#### 【0035】

先ず、デコーダ102に入力データ101が入力され、デコードされた信号が出力される。図2のフローチャートに、デコーダ102における処理の内容を示す。

#### 【0036】

デコーダ102には、図28に示された従来の可変抵抗器におけるデコーダ100と同様に6ビット（A～F）の入力データ101が入力され、この入力データ101はスイッチS0～S37の数に対応して38ステップ数を有する。

#### 【0037】

このような入力データ101を与えられ、よりステップ数の多い61ステップ数の変換データ110に変換して出力する。この場合の38ステップ数の入力データ101から61ステップ数の変換データ110に変換する場合の対応関係、及び変換処理を行うための条件並びに処理の内容を図3に示す。ここで、入力データ101はスイッチS0～S37の数に対応して少なくとも38ステップ数を有する必要があるが、図3に示されたように39以上のステップ数を有してもよい。但し、39以上の信号を有していても、変換処理後は38番目の入力信号と同様の値（61）を有することになる。

#### 【0038】

例えば、入力データ101が「6（ここでは10進数）」の場合は、条件「 $D \leq 6$ 」を満たし、この場合は「 $\times 4$ 」の処理を行い、「24」という変換データ110を得る。

#### 【0039】

同様に、入力データ101が「18」の場合は、条件「 $37 \geq D > 12$ 」を満たし、この場合は「 $+24$ 」の処理を行い、「42」という変換データ110を得る。

#### 【0040】

この手順が、図2のフローチャートに示されたものに対応する。

**【0041】**

即ち、ステップS100として入力データDが6より大であるか否かを判断し、6以下である場合はステップS107へ移行し、入力データDに4を乗算して変換データ110として出力する。入力データDが6より大である場合は、ステップS102へ移行する。

**【0042】**

ステップS102において、入力データDが12より大であるか否かを判断し、12以下の場合はステップS103において入力データDに2を乗算し12を加算して変換データ110として出力する。入力データDが12より大である場合は、ステップS104へ移行する。

**【0043】**

ステップS104において、入力データDが37より大であるか否かを判断し、37以下の場合はステップS106において入力データDに24を加算して変換データ110として出力する。入力データDが37より大である場合は、ステップS105において入力データDを61に固定して変換データ110として出力する。

**【0044】**

出力された変換データ110は、コンパレータ103への入力信号B0～B5となる。コンパレータ103にこの入力信号B0～B5が入力され、またアップ／ダウンカウンタ104から出力された信号A0～A5が入力されて、両者が比較される。A=Bに到達するまでの間、A>Bの場合はGT／端子から「0」、A<Bの場合はGT／端子から「1」が出力される。

**【0045】**

これらの出力がアップ／ダウンカウンタ104に入力され、A=Bに到達するまでの間は端子STOP／には停止信号「0」が入力されず、カウントが継続される。

**【0046】**

A>Bの場合は、Aを順次下げていくダウンカウントを行う信号「0」が端子U/Diに入力される。A<Bの場合は、Aを順次上げていくアップカウントを



行う信号「1」が端子U/D<sub>i</sub>に入力される。

#### 【0047】

そして、入力された信号B<sub>0</sub>～B<sub>5</sub>に一致するまでの間、この信号に減衰ステップ毎に近づけていく信号A<sub>0</sub>～A<sub>5</sub>が、信号D<sub>0</sub>～D<sub>5</sub>として出力される。

#### 【0048】

コンパレータ103の具体的な構成は、例えば図4に示されるようである。比較すべき信号A<sub>0</sub>とB<sub>0</sub>、A<sub>1</sub>とB<sub>1</sub>、…、A<sub>5</sub>とB<sub>5</sub>とがそれぞれいずれかの回路ブロック201～206、回路ブロック211～212に入力され、その出力がNAND回路NA201に与えられて一致／不一致を示す信号EQ／が生成され、あるいはAND回路AN201、NOR回路NR201に与えられてA>Bか否かを示す信号GT／が生成される。

#### 【0049】

アップ／ダウンカウンタ104は、例えば図5に示される構成を備えている。クロックが端子CKUD<sub>i</sub>に入力され、信号EQ／が端子STOP／に入力され、信号GT／が端子U/D<sub>i</sub>に入力され、データQ<sub>0</sub>～Q<sub>5</sub>が生成されてデコーダ105に出力される。

#### 【0050】

アップ／ダウンカウンタ104から出力された信号Q<sub>0</sub>～Q<sub>5</sub>が、1段目のデコーダ105に信号A～Fとして入力されてデコードされ、信号「000000」～「111101」が出力される。この信号が2段目のデコーダ106に入力されてデコードされ、スイッチング制御信号S<sub>0</sub>～S<sub>37</sub>が生成されて抵抗器107に出力される。これにより、抵抗器107における各スイッチS<sub>0</sub>～S<sub>37</sub>のオン／オフが所定のデューティで制御されて、所望の減衰ステップ数が実現される。

#### 【0051】

デコーダ105の具体的な回路構成の一例は、図6に示されるようである。アップ／ダウンカウンタ104からの出力信号Q<sub>0</sub>～Q<sub>5</sub>が端子A～Fに入力され、デコードした結果が「000000」～「111101」として出力される。デコーダ106は、後述するように各実施の形態によって相違する構成を備える

。

#### 【0052】

次に、本実施の形態により、従来と同様にスイッチと同数の入力信号を用いてより多くの減衰ステップ数を実現する原理について、図7～図9を用いて説明する。

#### 【0053】

従来のように、1つのスイッチをオン又はオフさせると、図7に示されるように電圧 $V_2$ 又は $V_1$ の2種類のレベルが得られる。

#### 【0054】

しかし、図8に示されるように、デューティを $1/2$ に設定すると、 $(V_1 + V_2)/2$ の新たなレベルを生成することができるので、電圧 $V_2$ 、 $(V_1 + V_2)/2$ 、 $V_1$ の3種類のレベルが得られる。

#### 【0055】

さらに、図9に示されるように、デューティを $3/4$ 、 $1/2$ 、 $1/4$ に設定すると、 $(V_1 + 3 \cdot V_2)/4$ 、 $(V_1 + V_2)/2$ 、 $(3 \cdot V_1 + V_2)/4$ の新たな3つのレベルを得ることができる。これにより、電圧 $V_2$ 、 $(V_1 + 3 \cdot V_2)/4$ 、 $(V_1 + V_2)/2$ 、 $(3 \cdot V_1 + V_2)/4$ 、 $V_1$ の5種類のレベルが得られる。

#### 【0056】

図10及び図11に、本実施の形態におけるスイッチ素子 $S_0 \sim S_{37}$ のオン／オフのタイミングチャートを示す。尚、本実施の形態における抵抗器107の構成は、図25に示されたものと同一とする。

#### 【0057】

ここでは、スイッチング制御信号を生成する際に用いるクロックとして、3種類のクロック $CK_1$ 、クロック $CK_2$ 、クロック $CK_3$ を用いている。それぞれのデューティは、クロック $CK_1$ が $1/2$ 、クロック $CK_2$ が $1/4$ 、クロック $CK_3$ が $3/4$ である。

#### 【0058】

本実施の形態では、例えば、0 dBと-1 dBの間における-0.5 dBを生

成するために、0 dBを生成するスイッチS0と-1 dBを生成するスイッチS1とを相補的（一方がオンの時、他方はオフ）かつ周期的にデューティ1/2で高速に切り換えている。例えば20 kHz以上の高速で切り換えることにより、耳には約0.5 dBの減衰量に聞こえるため、クリック音を抑制することができる。即ち、二つのスイッチS0とS1とをオン／オフする周期は、可聴周波数の逆数より小さいことが望ましい。このような周期とすることで、減衰量が切り替わるときのリップル成分の周波数が可聴帯域を超えるので、不快なビート音の発生を防止することができる。

#### 【0059】

同様の原理で、0 dBを生成するスイッチS0を3/4デューティで切り換え、これと交互に-1 dBを生成するスイッチS1を1/4デューティで切り換えることにより、-0.25 dBを生成することができる。

#### 【0060】

さらに同様に、0 dBを生成するスイッチS0を1/4デューティで切り換え、これと交互に-1 dBを生成するスイッチS1を3/4デューティで切り換えることにより、-0.75 dBを生成することができる。

#### 【0061】

このように、隣接する $-x$ （ $x$ は0～37の範囲の任意の整数）dBを生成するスイッチ $S_x$ と、 $-(x+1)$  dBを生成するスイッチ $S_{(x+1)}$ とにおいて、 $-x$  dB側のスイッチ $S_x$ を $a/b$ デューティでオン／オフ制御し、 $-(x+1)$  dB側のスイッチ $S_{(x+1)}$ を $(b-a)/b$ デューティで相補的かつ周期的にオン／オフ制御することで $-x$  dBと $-(x+1)$  dBの減衰量を $a:b$ に内分した減衰量を得ることができる。

#### 【0062】

尚、本実施の形態では1/4デューティ間隔となっているが、デューティをさらに大きく（例えば1/8、1/16、…）することで、さらに減衰ステップ幅を細かくすることが可能である。

#### 【0063】

ただし、オン／オフの時間幅が小さくなるに従い、スイッチS0～S37のオ

ン／オフ速度の限界によりスイッチング動作が追従できなくなって破綻をきたすおそれがあるので、スイッチングの応答性を考慮してデューティを設定する必要がある。

#### 【0064】

図12に、このようなスイッチング制御信号S0～S37を生成するデコーダ106の具体的な構成の一例を示す。

#### 【0065】

図1を用いて説明したように、1段目のデコーダ105から信号「000000」～「111101」が出力され、この信号がデコーダ106に入力される。デコーダ106は、図12に示されるような論理構成を備え、図10、図11に示された波形を有するスイッチング制御信号S0～S37を生成して出力する。

#### 【0066】

本実施の形態によれば、従来用いていた図25に示された抵抗器と同様の構成を有する抵抗器を使用し、スイッチS0～S37のオン／オフのデューティを制御することで、回路規模の増加を最小限に抑えつつ、スイッチの数より多くの減衰ステップ数を実現して減衰ステップ幅をより小さくすることにより、減衰量の変化をより滑らかにすることができるので、クリック音を軽減することが可能である。

#### 【0067】

ここで、全てのスイッチS0～S37のオン／オフに対して減衰ステップ幅を小さくするようにデューティを制御してもよい。しかし、図10～図11に示されたように、減衰ステップ幅が相対的に大きい部分にのみ適用することで、スイッチング制御信号を生成する回路規模を縮小することができる。

#### 【0068】

##### (2) 第2の実施の形態

本発明の第2の実施の形態による可変抵抗回路について説明する。

#### 【0069】

本実施の形態は、上記第1の実施の形態と同様に図1に示された構成を備えるが、デコーダ106及び抵抗器107の回路構成が相違する。

**【0070】**

本実施の形態における抵抗器の構成を図13に示す。上記第1の実施の形態における図25に示された抵抗器と比較し、本実施の形態の抵抗器はさらに、スイッチS0～S37と、入力端子IN、又は各抵抗との接続点との間に、抵抗R40～R58が直列に接続されている点で相違する。

**【0071】**

例えば、抵抗R40は入力端子INとスイッチS0との間、抵抗R41は抵抗R0とR1との接続点とスイッチS1との間、抵抗R42は抵抗R1とR2との接続点とスイッチS2との間、…、抵抗R58は抵抗R17とR18との接続点とスイッチS18との間に接続されている。

**【0072】**

このような構成を有する抵抗器のスイッチS0～S37のオン／オフを制御するスイッチング制御信号S0～S37のタイミングチャートを、図14及び図15に示す。

**【0073】**

また、このような波形を有するスイッチング制御信号S0～S37を生成する2段目のデコーダ106の具体的な回路構成の一例を図16に示す。

**【0074】**

尚、本実施の形態では、上記第1の実施の形態と異なり、1種類のクロックCKを用いている。このクロックCKは、デューティが1/2である。このように本実施の形態では、第1の実施の形態と比較し抵抗器にさらに抵抗R40～R58を付加させたことで、1種類のクロックCKのみを用いながら同数の減衰ステップ数を実現している。

**【0075】**

例えば、減衰量0dBと-1dBの間の中間の減衰量-0.5dBを生成するため、0dBを生成するスイッチS0と-1dBを生成するスイッチS1との両方をオンさせる。

**【0076】**

これにより、スイッチS0からスイッチS1に至る抵抗R40、R0、R41

が直列接続され、抵抗  $R_{40}$  と  $R_{41}$  との接続点が、出力端子  $OUT$  に接続されることとなる。そこで、抵抗  $R_{40}$ 、 $R_{41}$  の値を適当に決めてやることで、 $-0.5\text{ dB}$  を生成することができる。

#### 【0077】

ここで、抵抗値を設定する手法について、図17～図21を用いて説明する。

#### 【0078】

図17に示されるようにインピーダンス  $Z_a$ 、 $Z_b$ 、 $Z_c$  が  $Y$  接続された場合、図18に示されるようにインピーダンス  $Z_{ab}$ 、 $Z_{bc}$ 、 $Z_{ca}$  が  $\Delta$  接続された場合を考えると、両者の間には次のような式 (1) ～ (6) が成り立つ。

$$Z_a = Z_{ab} \cdot Z_{ca} / (Z_{ab} + Z_{bc} + Z_{ca}) \quad (1)$$

$$Z_b = Z_{bc} \cdot Z_{ab} / (Z_{ab} + Z_{bc} + Z_{ca}) \quad (2)$$

$$Z_c = Z_{ca} \cdot Z_{bc} / (Z_{ab} + Z_{bc} + Z_{ca}) \quad (3)$$

$$Z_{ab} = (Z_a \cdot Z_b + Z_b \cdot Z_c + Z_c \cdot Z_a) / Z_c \quad (4)$$

$$Z_{bc} = (Z_a \cdot Z_b + Z_b \cdot Z_c + Z_c \cdot Z_a) / Z_a \quad (5)$$

$$Z_{ca} = (Z_a \cdot Z_b + Z_b \cdot Z_c + Z_c \cdot Z_a) / Z_b \quad (6)$$

#### 【0079】

この関係を前提とし、図19に示された構成における隣接する二つの減衰ステップを考える。

#### 【0080】

入力端子  $IN$  と接地端子  $REF$  との間に、抵抗  $\alpha r$ 、 $r$ 、 $\beta r$  が直列に接続されており、抵抗  $\alpha r$  と抵抗  $r$  との接続点  $SS1$ 、抵抗  $r$  と抵抗  $\beta r$  との接続点  $SS2$  における減衰ステップを求める。

#### 【0081】

まず、接続点  $SS1$  における抵抗分圧比  $R_{SS1}$  は、

$$\begin{aligned} R_{SS1} &= (r + \beta r) / (\alpha r + r + \beta r) = (\beta + 1) / (\alpha + \beta + 1) \\ &= (\beta + 1) / \tau \end{aligned} \quad (7)$$

となる。但し、 $\tau = \alpha + \beta + 1$  とする。

#### 【0082】

接続点  $SS2$  における抵抗分圧比  $R_{SS2}$  は、

$$\begin{aligned} \text{RSS2} &= \beta r / (\alpha r + r + \beta r) = \beta / (\alpha + \beta + 1) \\ &= \beta / \tau \end{aligned} \quad (8)$$

となる。

#### 【0083】

ここで、図19に示された接続関係に上記第2の実施の形態における抵抗器の構成を適用すると、図20に示されたような構成が得られる。即ち、抵抗 $\alpha r$ と抵抗 $r$ との接続点SS1と、抵抗 $r$ と抵抗 $\beta r$ との接続点SS2との間に、抵抗 $a r$ 、 $b r$ を直列に接続する。

#### 【0084】

この場合の抵抗 $a r$ と抵抗 $b r$ との接続点SS1.5における抵抗分圧比RSS1.5が、

$$\text{RSS1.5} = (\beta + 1 / 2) / (\alpha + \beta + 1) = (\beta + 1 / 2) / \tau \quad (9)$$

となるように、抵抗 $a r$ 、 $b r$ の関係を設定することで、接続点SS1の減衰ステップ1と接続点SS2の減衰ステップ2との中間の減衰ステップ1.5を生成することができる。

#### 【0085】

ここで、図17、図18に示された $\Delta-Y$ 変換を適用すると、図21に示された抵抗 $r_1$ 、 $r_2$ 、 $r_3$ には、次のような式が成り立つ。

$$r_1 = a r \cdot r / (a r + b r + r) = a r / (a + b + 1) \quad (10)$$

$$r_2 = b r / (a + b + 1) \quad (11)$$

$$r_3 = a b r / (a + b + 1) \quad (12)$$

#### 【0086】

これより、抵抗 $r_3$ が接続された端子SS1.5における抵抗分圧比RSS1.5は、

$$\begin{aligned} \text{RSS1.5} &= (r_2 + \beta r) / (\alpha r + r_1 + r_2 + \beta r) \\ &= [\beta + b / (a + b + 1)] / [\alpha + \beta + (a + b) / (a + b + 1)] \end{aligned} \quad (13)$$

よって、

$$\begin{aligned} &(\beta + 1 / 2) / (\alpha + \beta + 1) \\ &= [\beta + b / (a + b + 1)] / [\alpha + \beta + (a + b) / (a + b + 1)] \end{aligned} \quad (14)$$

)

が成り立つように、抵抗  $a_r$  の抵抗値  $a$  と、抵抗  $b_r$  の抵抗値  $b$  を設定することで、端子  $SS1.5$  における抵抗分圧比を、接続点  $SS1$  と接続点  $SS2$  の中間値にすることができる。

#### 【0087】

これより、次式が得られる。

$$a - b = (\beta - \alpha) / (\alpha + \beta + 1) = (\beta - \alpha) / \tau \quad (15)$$

#### 【0088】

尚、図 13 に示された抵抗  $R40 \sim R58$  の各抵抗値は、上記手法を用いて計算して得られた値である。

#### 【0089】

図 14、図 15 に示されたスイッチング制御信号は、デューティ  $1/2$  の単一のクロック  $CK$  を用いて、隣接する二つのスイッチのオン/オフをデューティ  $1/2$  で切り換えている。

#### 【0090】

これに対し、図 22、図 23 及び図 24 に示されたスイッチング制御信号は、上記第 1 の実施の形態と同様に、3 種類のクロック  $CK1$ 、 $CK2$ 、 $CK3$  に基づいている。クロック  $CK1$  は  $1/2$  デューティ、クロック  $CK2$  は  $1/4$  デューティ、クロック  $CK3$  は  $3/8$  デューティである。

#### 【0091】

このようなクロック  $CK1 \sim CK3$  を用いて、所望の減衰ステップ数を実現してもよい。

#### 【0092】

例えば、 $-1/8$  dB を生成するために、0 dB を生成するスイッチ  $S0$  をオンし、 $-1$  dB を生成するスイッチ  $S1$  をデューティ  $1/4$  で高速に切り換える。

#### 【0093】

同様に、 $-2/8$  dB を生成するために、0 dB を生成するスイッチ  $S0$  をオンし、スイッチ  $S1$  を  $1/2$  デューティで切り換える。



## 【0094】

−3/8 dB を生成するため、0 dB を生成するスイッチ S0 をオンし、−1 dB を生成するスイッチ S1 を 3/4 デューティで切り換える。

## 【0095】

さらに同様に、−1/2 dB を生成するため、0 dB を生成するスイッチ S0 と −1 dB を生成するスイッチ S1 を共にオンする。

## 【0096】

本実施の形態によれば、上記第 1 の実施の形態と同様に、回路規模の増大を抑制しつつ、スイッチの数より多くの減衰ステップを生成することで、減衰ステップ幅を縮小し、減衰量をより滑らかに変化させることで、クリック音を抑制することが可能である。

## 【0097】

また、本実施の形態における抵抗器は、図 13 に示されたように、入力端子 IN 及び抵抗 R0 ~ R18 の各接続点と、スイッチ S0 ~ S18 との間に、抵抗 R40 ~ R58 が接続されている。これにより、減衰ステップ数を増加させることができるだけでなく、隣接するスイッチのオン/オフを制御するスイッチング制御信号の波形のずれにより、両方のスイッチが共にオンしたような場合にも、異常に高い電圧が発生して動作に支障をきたすことを防止することができる。従って、第 2 の実施の形態に限らず上記第 1 の実施の形態においても同様な箇所に少なくとも一つの抵抗を接続してもよい。

## 【0098】

また、上記第 1 の実施の形態と同様に第 2 の実施の形態においても、隣接する二つのスイッチを相補的にオン/オフさせる場合の周期は、可聴周波数の逆数より小さいことが望ましい。このような周期に設定することで、減衰量が切り替わるときのリップル成分の周波数が可聴帯域を超えるので、不快なビート音の発生を防止することができる。

## 【0099】

上述した実施の形態はいずれも一例であって、本発明を限定するものではない。例えば、図 1 に示された構成では、スイッチング制御回路として、デコーダ 1

02、コンパレータ103、アップ／ダウンカウンタ104、デコーダ105、デコーダ106及び107を備えている。しかしこの構成に限らず、与えられた入力データを用いて、抵抗器107における隣接する二つのスイッチにおいて、所定のデューティで相補的かつ周期的にオンし、あるいは共にオンし、あるいは一方をオンして他方を所定のデューティで周期的にオンすることで、一方のみをオンした場合の二つの減衰量の中間の減衰量を実現し、抵抗器107のスイッチの数より多い減衰ステップ数をもたらすものであれば、他の構成を備えてもよい。

#### 【0100】

同様に、抵抗器における抵抗の数、スイッチの数は任意に設定することができ、またスイッチのオン／オフを制御するスイッチング制御信号の波形は図10、図11、図14、図15に限定されない。

#### 【0101】

##### 【発明の効果】

以上説明したように、本発明の可変抵抗回路は、抵抗器における隣接する二つのスイッチにおいて、従来は一方をオンし他方をオフすることで減衰量aを生成し、あるいは一方をオフして他方をオンして減衰量bを生成していたが、所定のデューティで相補的かつ周期的にオンし、あるいは共にオンし、あるいは一方をオンして他方を所定のデューティで周期的にオンすることで、減衰量aとbとの間の減衰量を実現し、これによりスイッチの数より多い減衰ステップ数をもたらすことで、減衰ステップ幅を縮小して減衰量を滑らかに変化させ、回路規模の増大を抑制しつつクリック音の発生を抑制することができる。

##### 【図面の簡単な説明】

#### 【図1】

本発明の第1、第2の実施の形態による可変抵抗回路の構成を示すブロック図。

#### 【図2】

同可変抵抗回路に含まれるデコーダ102の動作を示すフローチャート。

#### 【図3】

同デコーダ 102 の入出力信号の対応関係を示す説明図。

【図 4】

同可変抵抗回路に含まれるコンパレータ 103 の構成を示すブロック図。

【図 5】

同可変抵抗回路に含まれるアップ／ダウンカウンタ 104 の構成を示すブロック図。

【図 6】

同可変抵抗回路に含まれるデコーダ 105 の構成を示すブロック図。

【図 7】

同可変抵抗回路において 2 段階の減衰ステップを生成するために用いるスイッチング制御信号の波形を示すタイムチャート。

【図 8】

同可変抵抗回路において 3 段階の減衰ステップを生成するために用いるスイッチング制御信号の波形を示すタイムチャート。

【図 9】

同可変抵抗回路において 4 段階の減衰ステップを生成するために用いるスイッチング制御信号の波形を示すタイムチャート。

【図 10】

本発明の第 1 の実施の形態による可変抵抗回路の抵抗器に入力するスイッチング制御信号の波形を示すタイミングチャート。

【図 11】

同可変抵抗回路の抵抗器に入力するスイッチング制御信号の波形を示すタイミングチャート。

【図 12】

同可変抵抗回路に含まれるデコーダ 107 の構成を示すブロック図。

【図 13】

本発明の第 2 の実施の形態による可変抵抗回路に含まれる抵抗器の構成を示す回路図。

【図 14】

同可変抵抗回路の抵抗器に入力するスイッチング制御信号の波形を示すタイミングチャート。

【図 15】

同可変抵抗回路の抵抗器に入力するスイッチング制御信号の波形を示すタイミングチャート。

【図 16】

同可変抵抗回路に含まれるデコーダ 107 の構成を示すブロック図。

【図 17】

同可変抵抗回路において  $\Delta$ -Y 変換の演算を示すための説明図。

【図 18】

同可変抵抗回路において  $\Delta$ -Y 変換の演算を示すための説明図。

【図 19】

同可変抵抗回路において入力端子と接地端子との間に直列に接続された複数の抵抗の接続点の電位を示すための回路図。

【図 20】

同可変抵抗回路において入力端子と接地端子との間に直列に接続された複数の抵抗の複数の接続点に抵抗を直列に接続した接続点の電位を示すための回路図。

【図 21】

図 20 に示された接続点の電位を説明するための回路図。

【図 22】

本発明の第 2 の実施の形態による可変抵抗回路において用いる他のスイッチ制御信号の波形を示すタイムチャート。

【図 23】

同可変抵抗回路において用いる同スイッチング制御信号の波形を示すタイミングチャート。

【図 24】

同可変抵抗回路において用いる同スイッチング制御信号の波形を示すタイミングチャート。

【図 25】

従来の可変抵抗回路に含まれる抵抗器の構成を示す回路図。

【図 2 6】

同可変抵抗回路に含まれるスイッチの記号を示す説明図。

【図 2 7】

同可変抵抗回路に含まれるスイッチの具体的な構成を示す回路図。

【図 2 8】

同可変抵抗回路の構成を示すブロック図。

【図 2 9】

同可変抵抗回路に含まれるデコーダの構成を示す回路図。

【図 3 0】

同デコーダに含まれる D ラッチの記号を示す説明図。

【図 3 1】

同 D ラッチの構成を示す回路図。

【図 3 2】

従来の可変抵抗回路に含まれるデコーダの入出力信号の対応関係と減衰量とを示す説明図。

【図 3 3】

同可変抵抗回路においてクリック音が発生する原理を説明した波形図。

【図 3 4】

同可変抵抗回路を用いたボリュームシステムの構成を示した回路図。

【図 3 5】

同可変抵抗回路において存在するオフセット電圧を示した説明図。

【図 3 6】

従来の可変抵抗回路を用いた他のボリュームシステムの構成を示した回路図。

【符号の説明】

- 1 0 1 入力データ
- 1 0 2、1 0 5、1 0 6 デコーダ
- 1 0 3 コンパレータ
- 1 0 4 アップ／ダウンカウンタ

1 0 7 抵抗器

2 0 1、2 1 1、2 1 2 回路ブロック

NA 2 0 1 NAND回路

NR 2 0 1 NOR回路

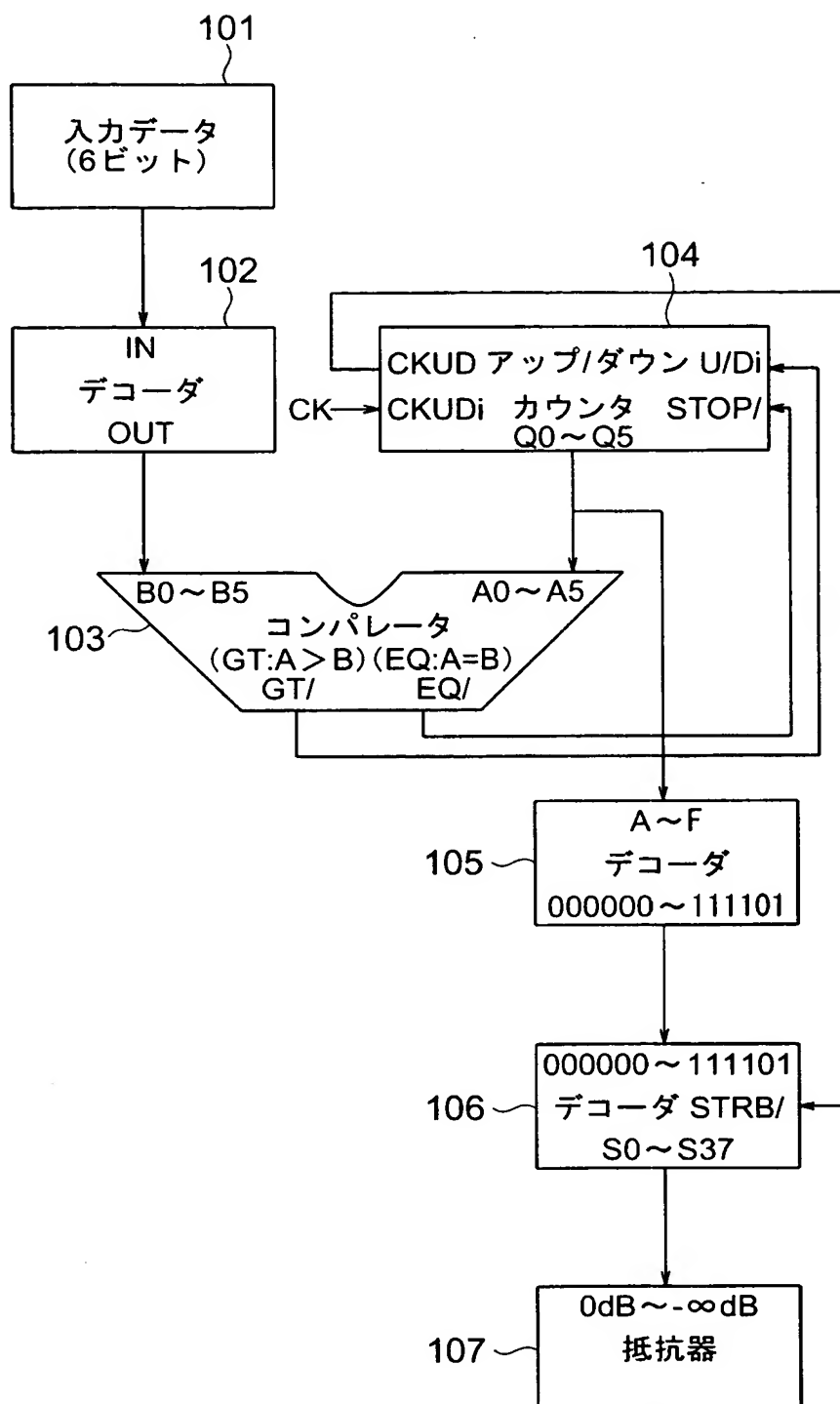
AN 2 0 1 AND回路

R 0 ~ R 3 6、R 4 0 ~ R 5 8 抵抗

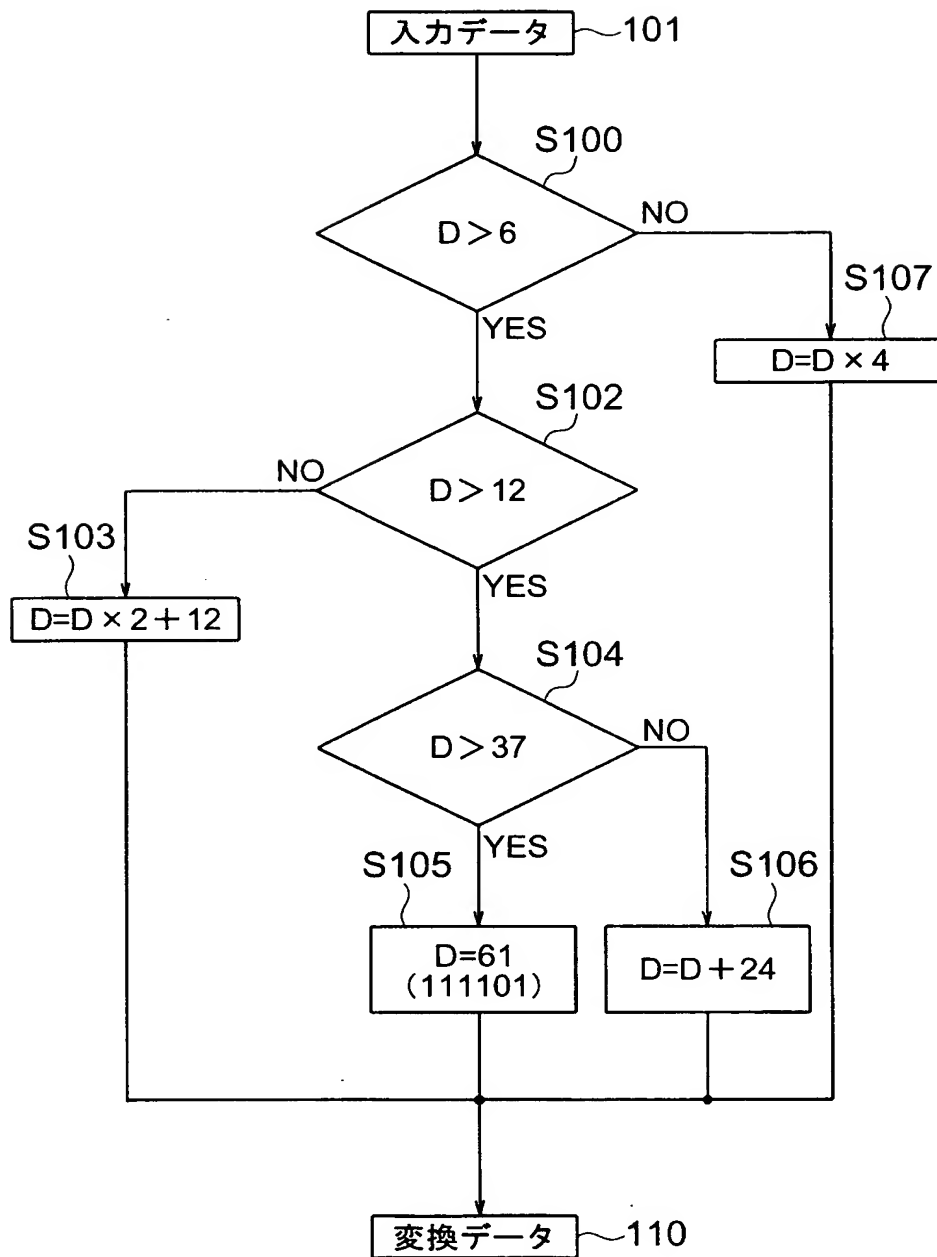
S 0 ~ S 3 7 スイッチ

【書類名】 図面

【図 1】



【図 2】

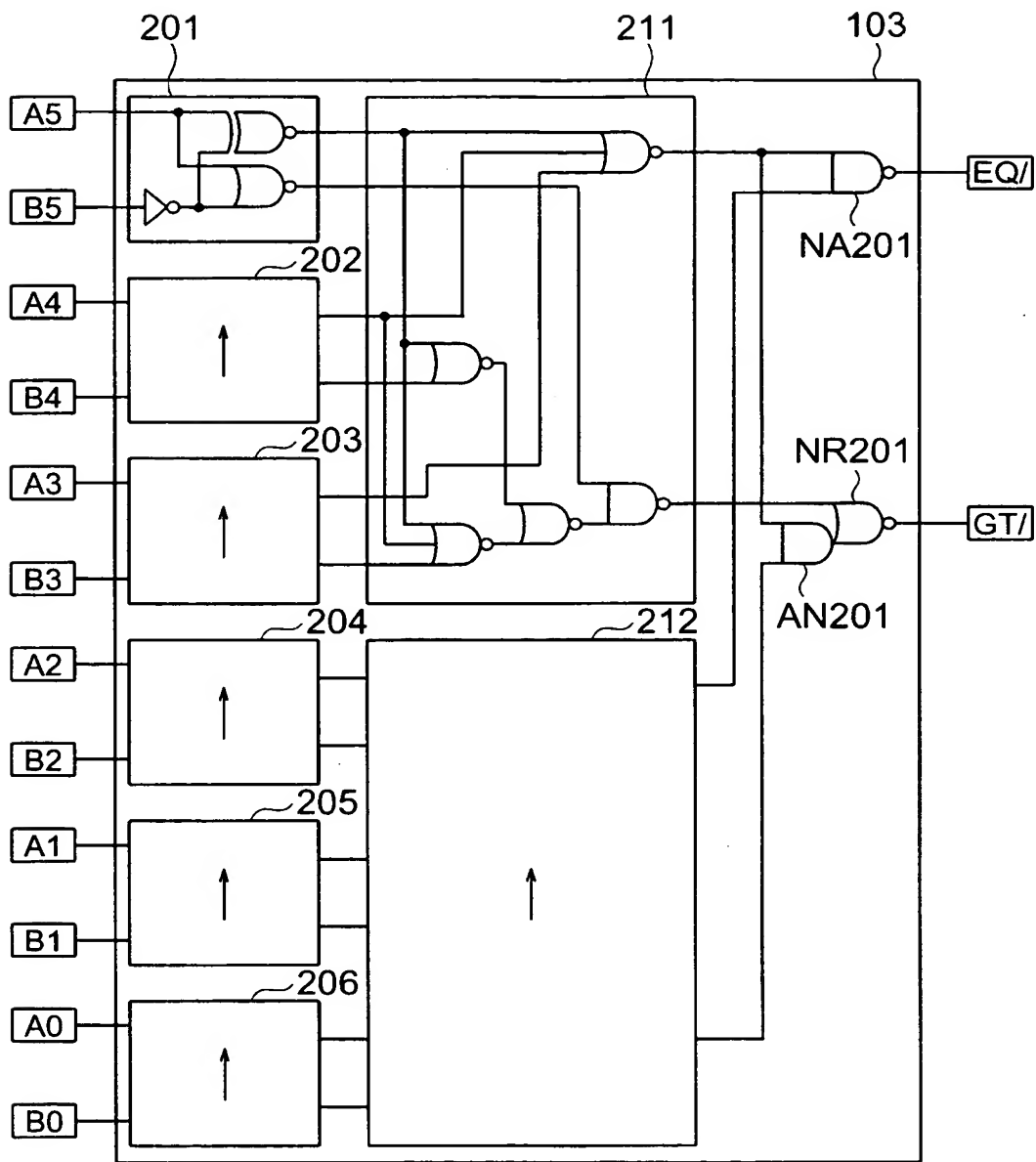




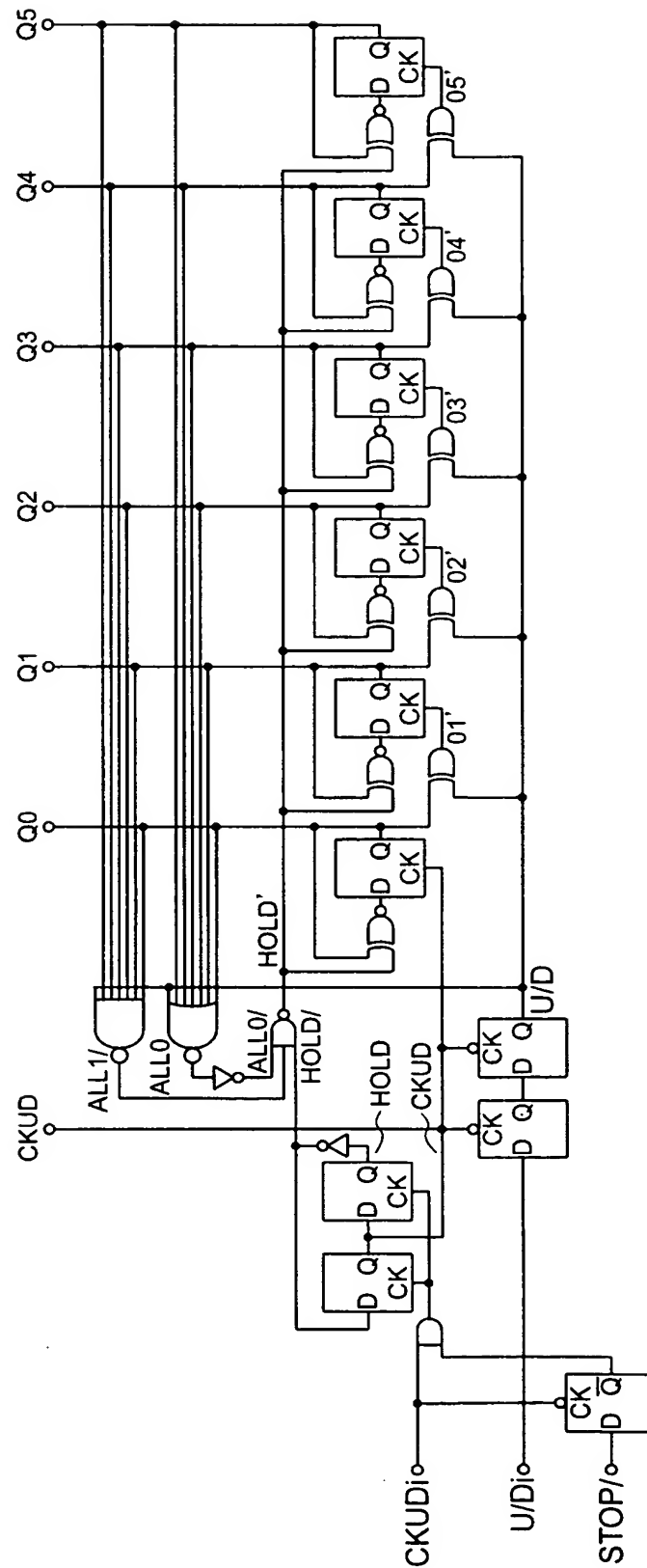
【図 3】

IN	条件	処理	OUT
0	$D \leq 6$	$\times 4$	0
1	$D \leq 6$	$\times 4$	4
2	$D \leq 6$	$\times 4$	8
3	$D \leq 6$	$\times 4$	12
4	$D \leq 6$	$\times 4$	16
5	$D \leq 6$	$\times 4$	20
6	$D \leq 6$	$\times 4$	24
7	$12 \geq D > 6$	$\times 2 + 12$	26
8	$12 \geq D > 6$	$\times 2 + 12$	28
9	$12 \geq D > 6$	$\times 2 + 12$	30
10	$12 \geq D > 6$	$\times 2 + 12$	32
11	$12 \geq D > 6$	$\times 2 + 12$	34
12	$12 \geq D > 6$	$\times 2 + 12$	36
13	$37 \geq D > 12$	$+ 24$	37
14	$37 \geq D > 12$	$+ 24$	38
15	$37 \geq D > 12$	$+ 24$	39
16	$37 \geq D > 12$	$+ 24$	40
17	$37 \geq D > 12$	$+ 24$	41
18	$37 \geq D > 12$	$+ 24$	42
19	$37 \geq D > 12$	$+ 24$	43
20	$37 \geq D > 12$	$+ 24$	44
21	$37 \geq D > 12$	$+ 24$	45
22	$37 \geq D > 12$	$+ 24$	46
23	$37 \geq D > 12$	$+ 24$	47
24	$37 \geq D > 12$	$+ 24$	48
25	$37 \geq D > 12$	$+ 24$	49
26	$37 \geq D > 12$	$+ 24$	50
27	$37 \geq D > 12$	$+ 24$	51
28	$37 \geq D > 12$	$+ 24$	52
29	$37 \geq D > 12$	$+ 24$	53
30	$37 \geq D > 12$	$+ 24$	54
31	$37 \geq D > 12$	$+ 24$	55
32	$37 \geq D > 12$	$+ 24$	56
33	$37 \geq D > 12$	$+ 24$	57
34	$37 \geq D > 12$	$+ 24$	58
35	$37 \geq D > 12$	$+ 24$	59
36	$37 \geq D > 12$	$+ 24$	60
37	$37 \geq D > 12$	$+ 24$	61
38	$D > 37$		61
⋮	⋮		⋮
63	$D > 37$		61

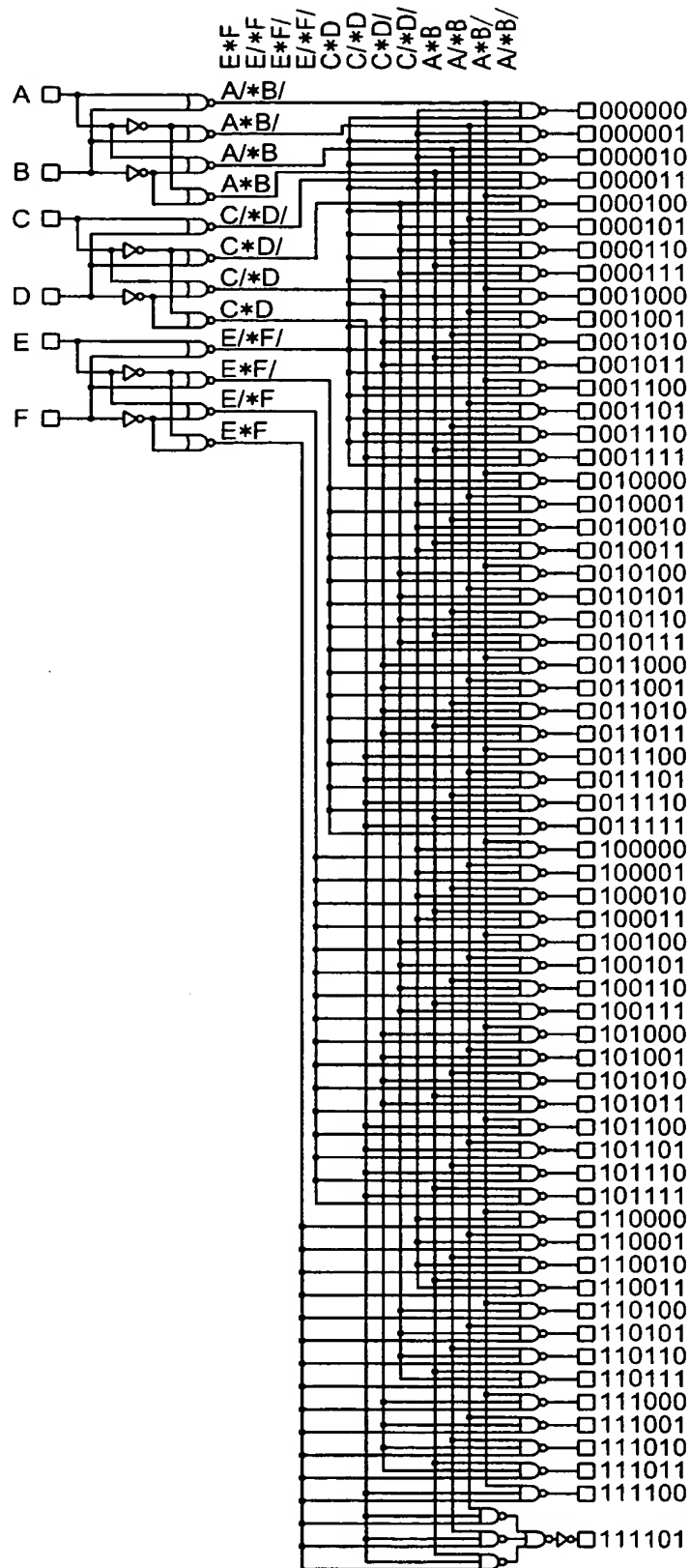
【図 4】



【図 5】



【図 6】



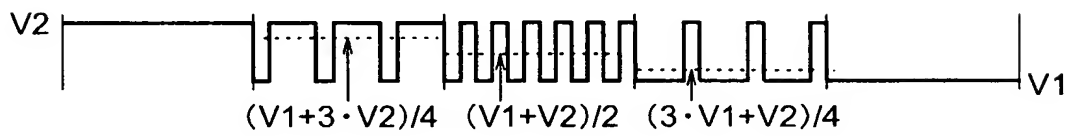
【図 7】



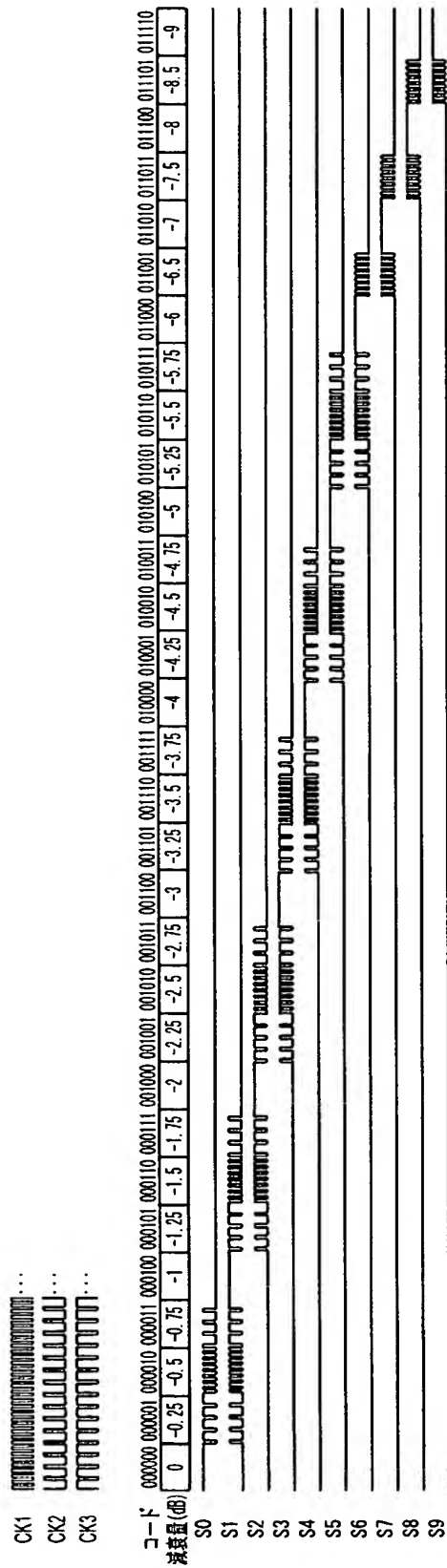
【図 8】



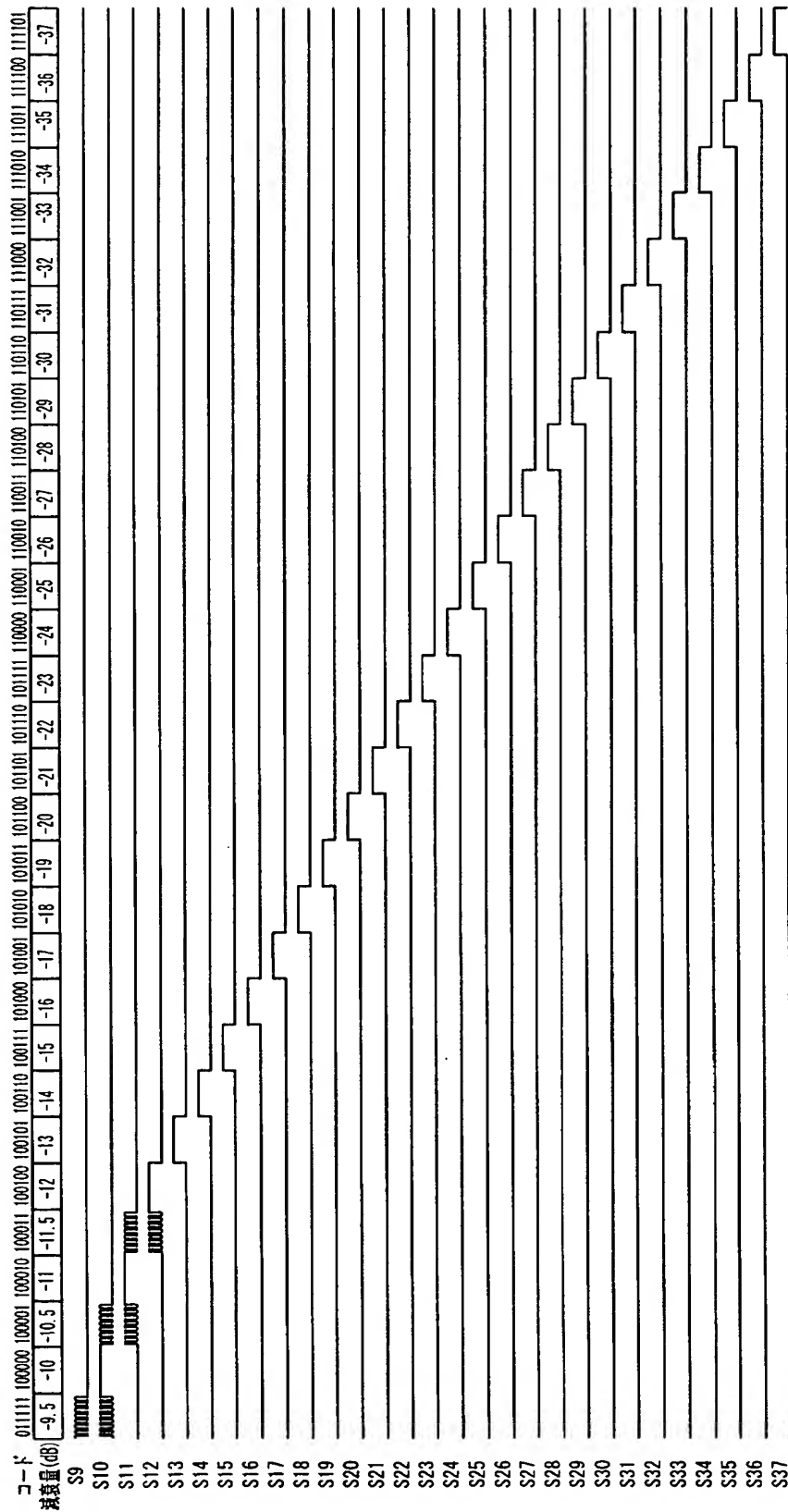
【図 9】



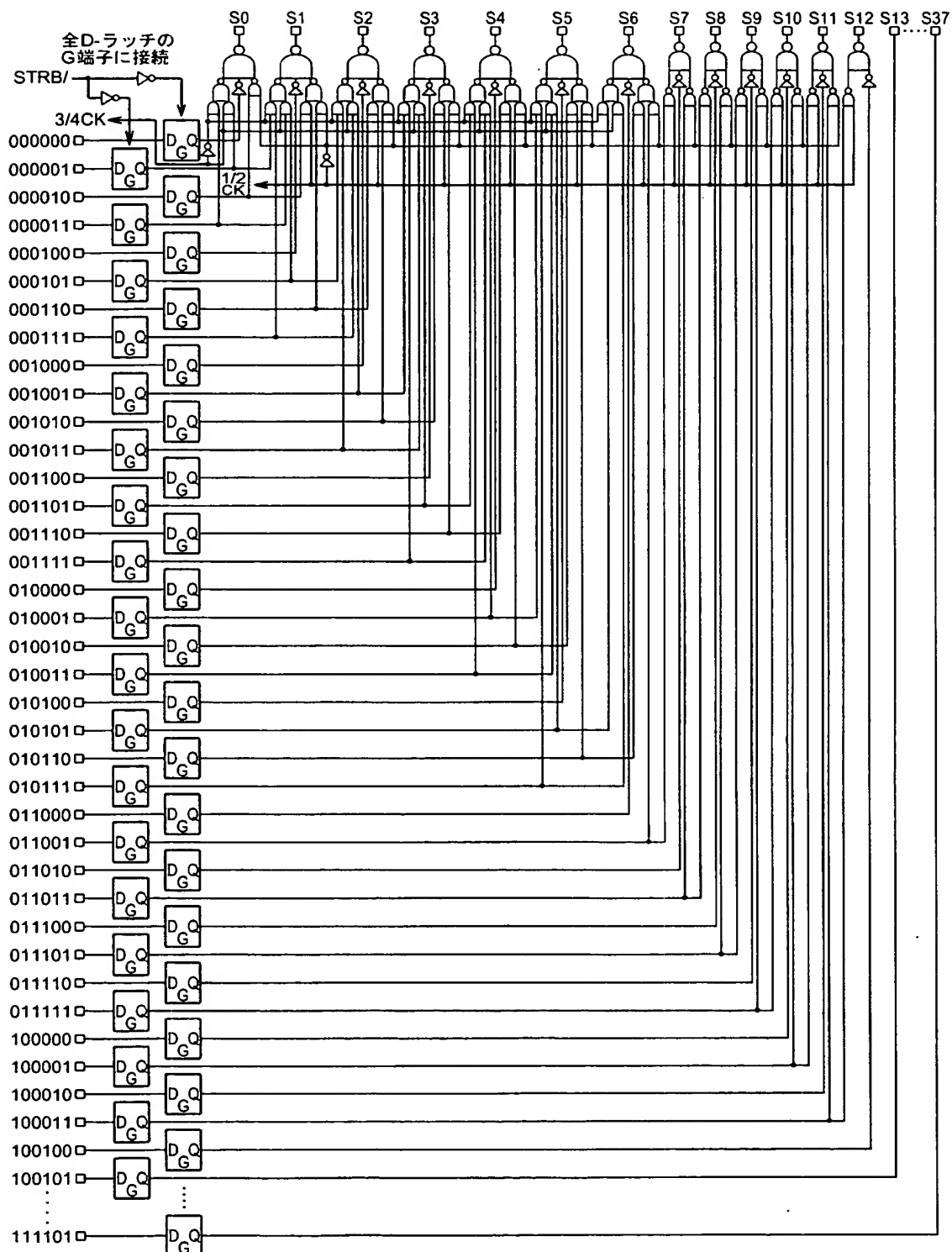
【図 10】



【図 11】

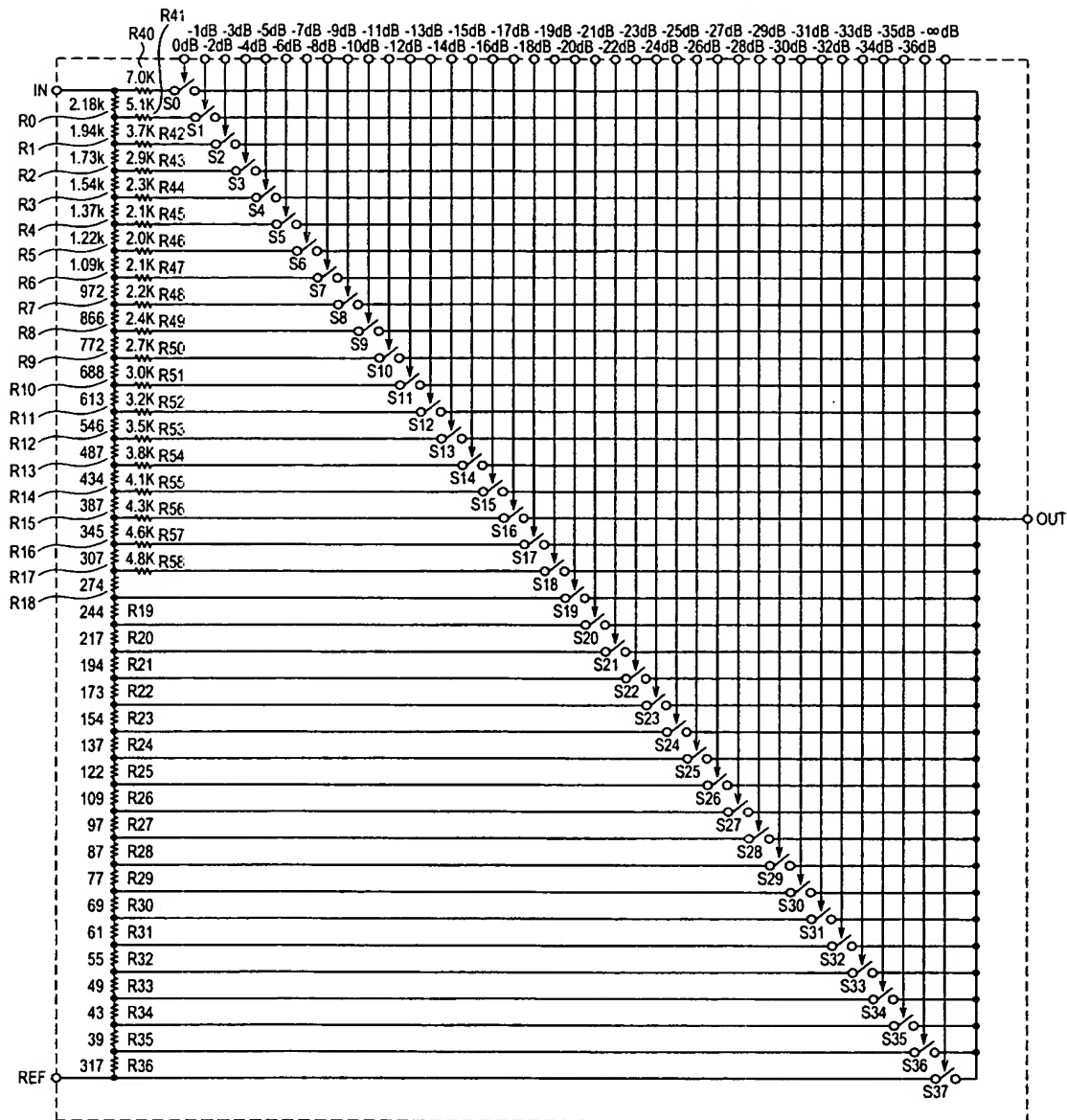


【図 12】

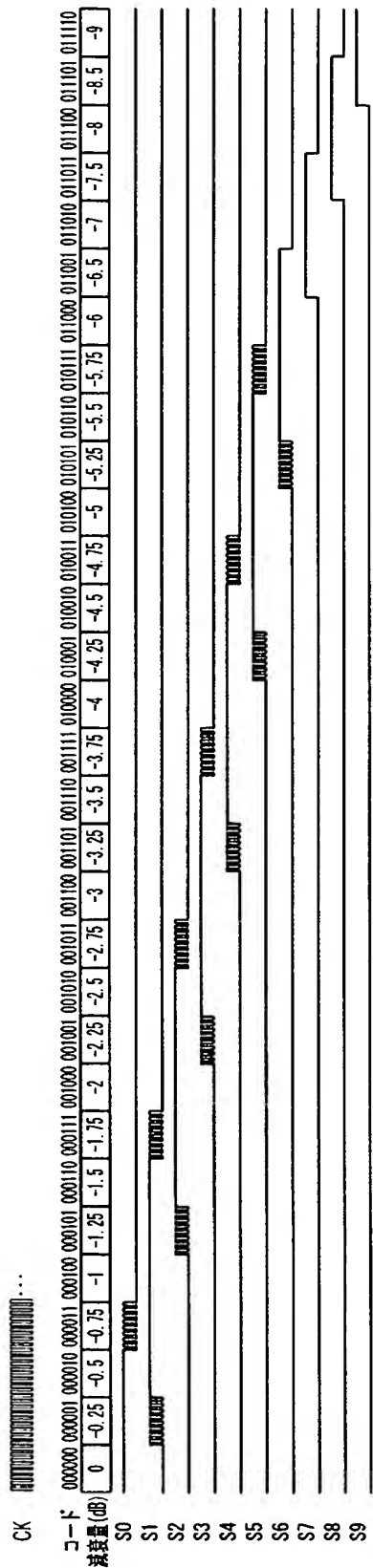




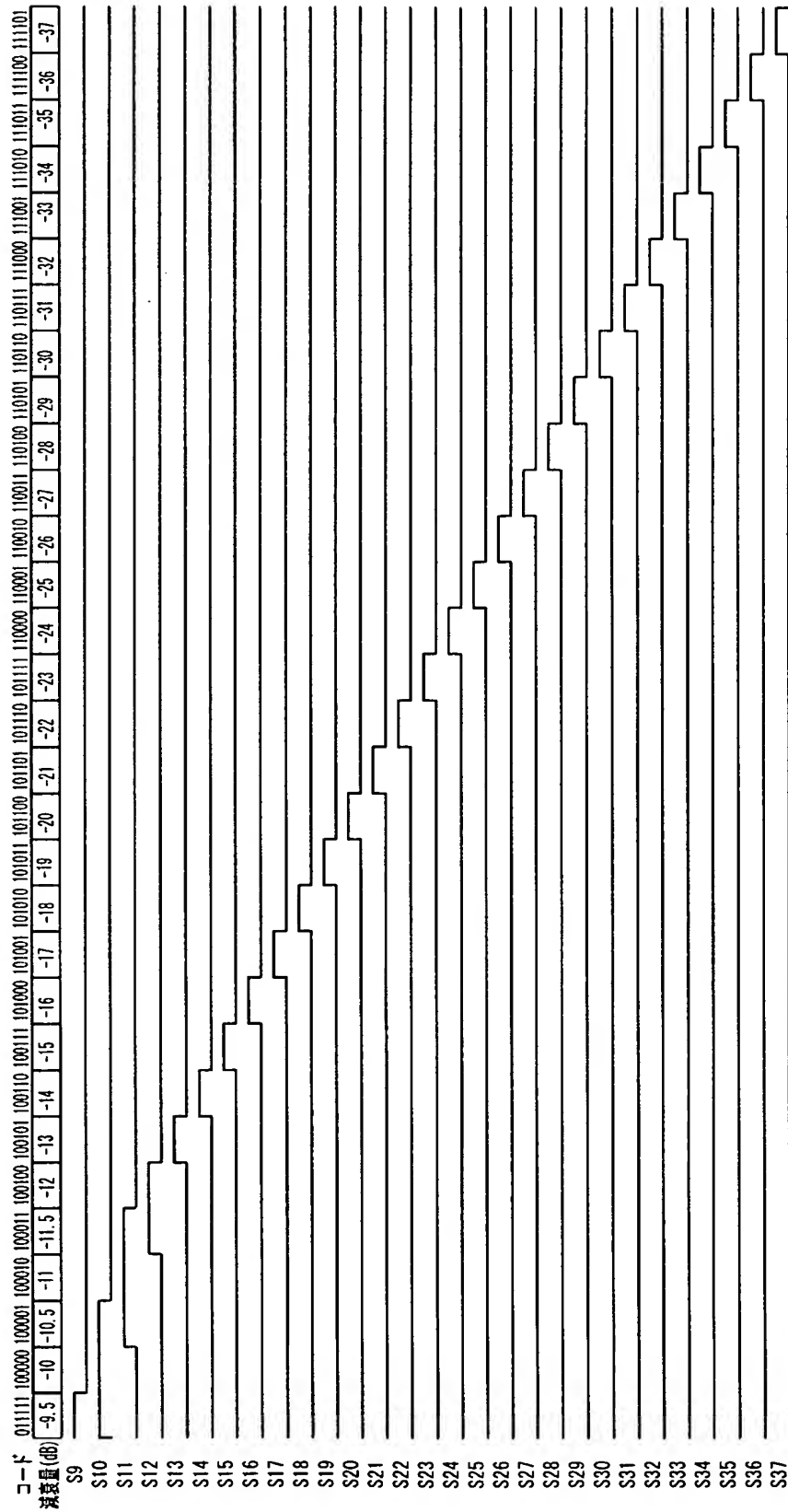
【図 13】



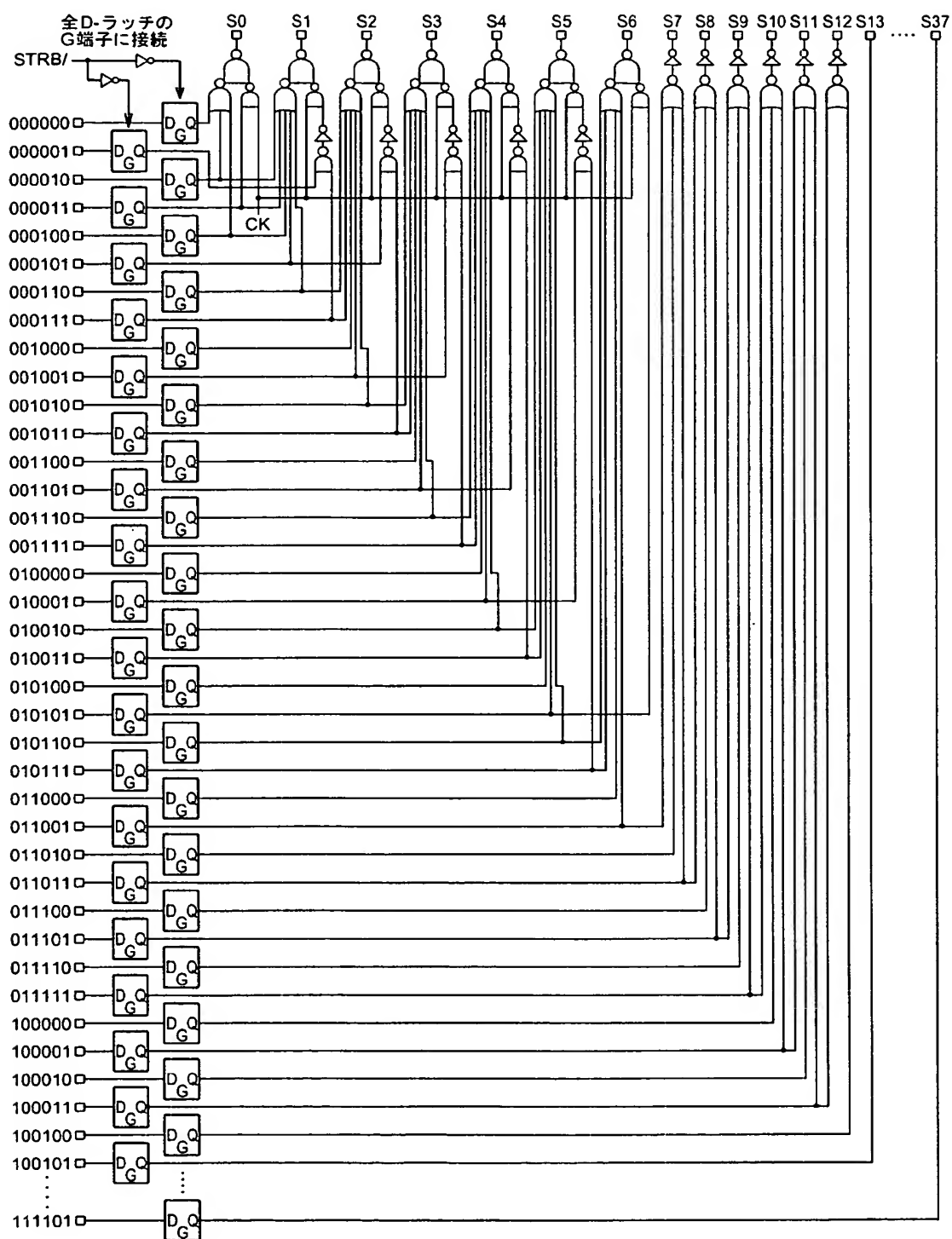
【図 14】



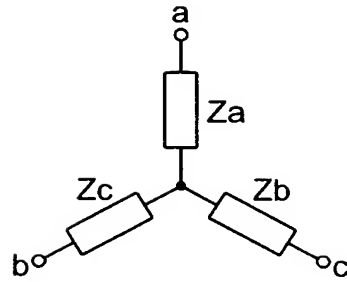
【図 15】



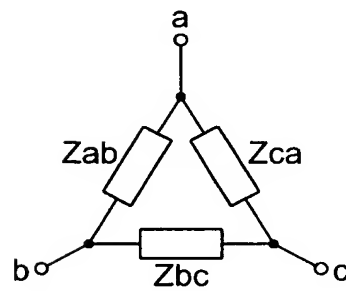
【図 16】



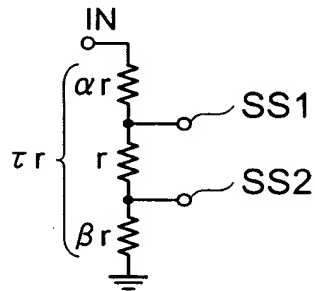
【図 17】



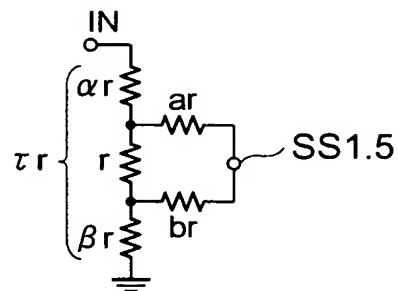
【図 18】



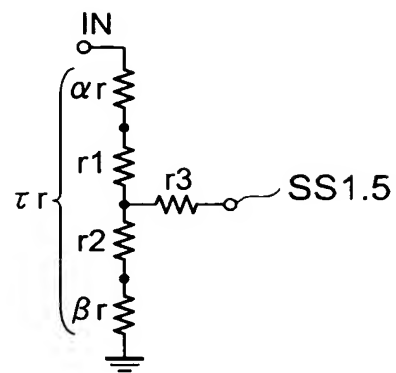
【図 19】



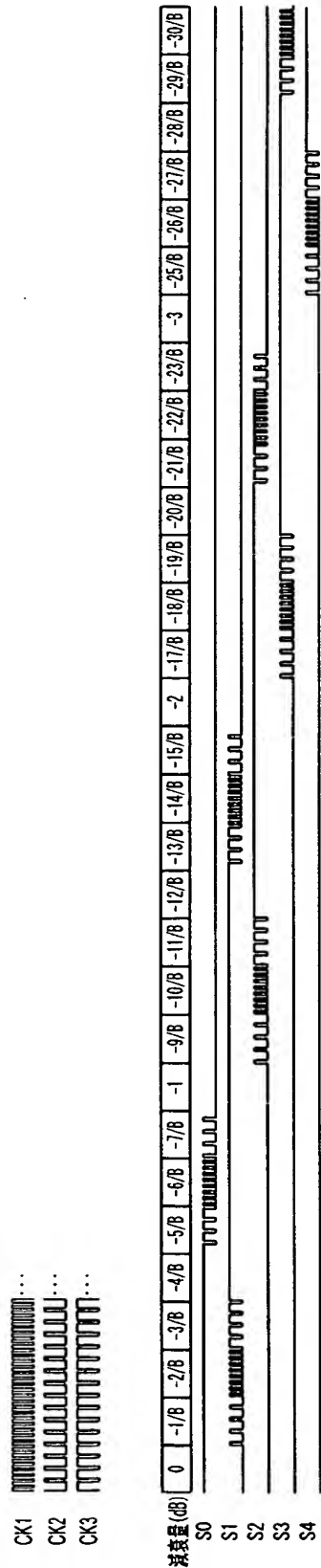
【図 20】



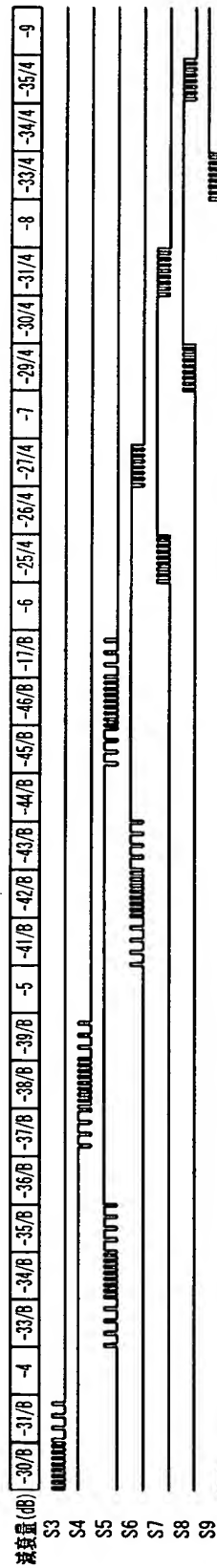
【図 21】



【図 22】

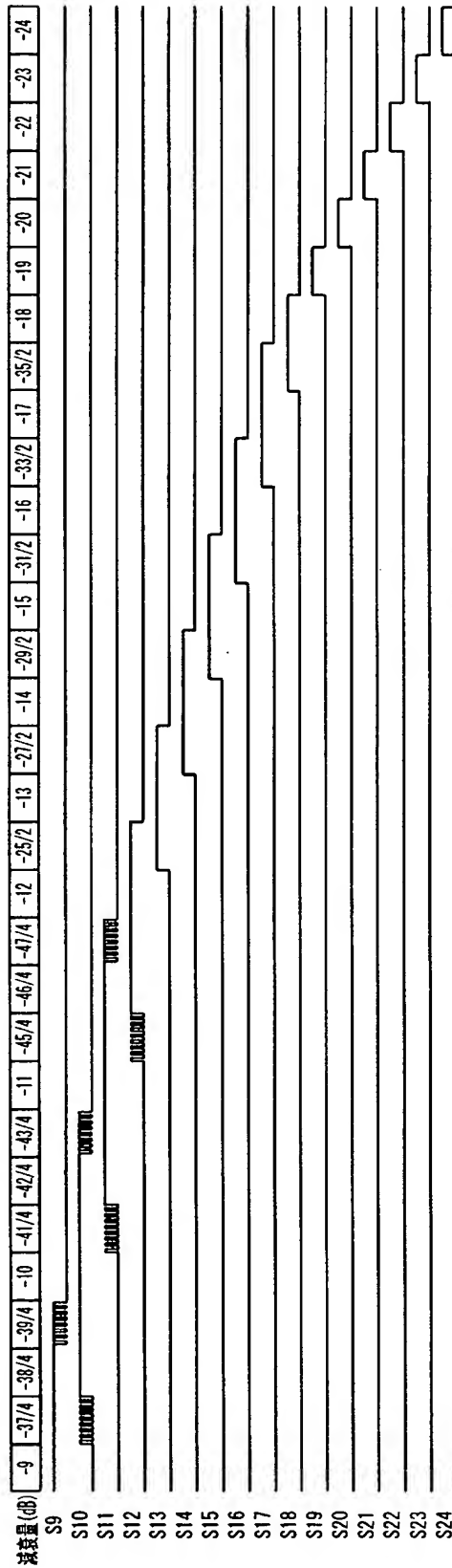


【図 23】

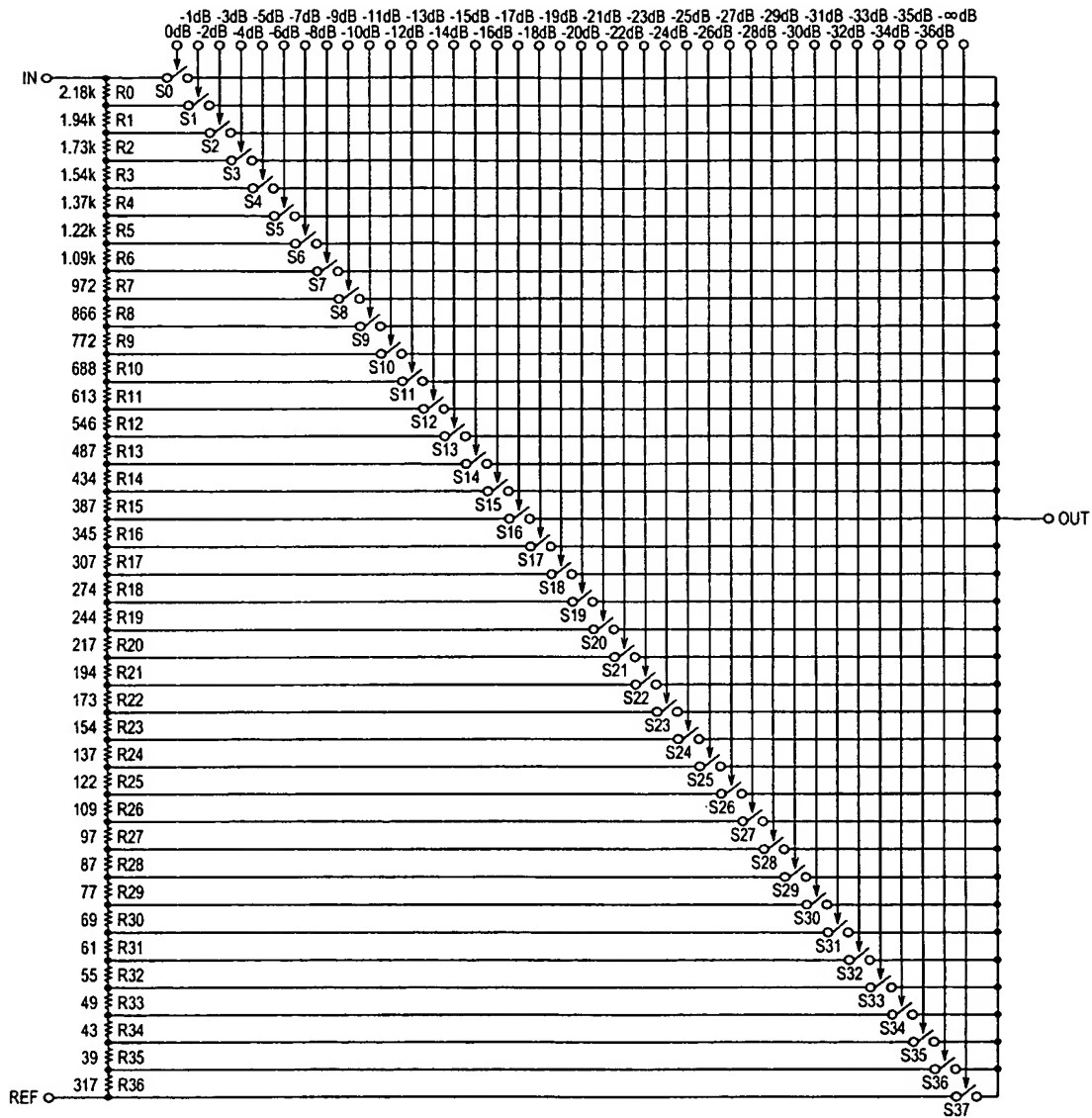




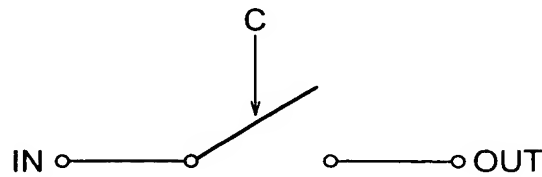
【図 24】



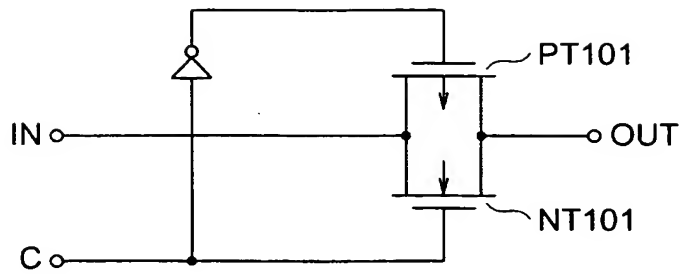
【図 25】



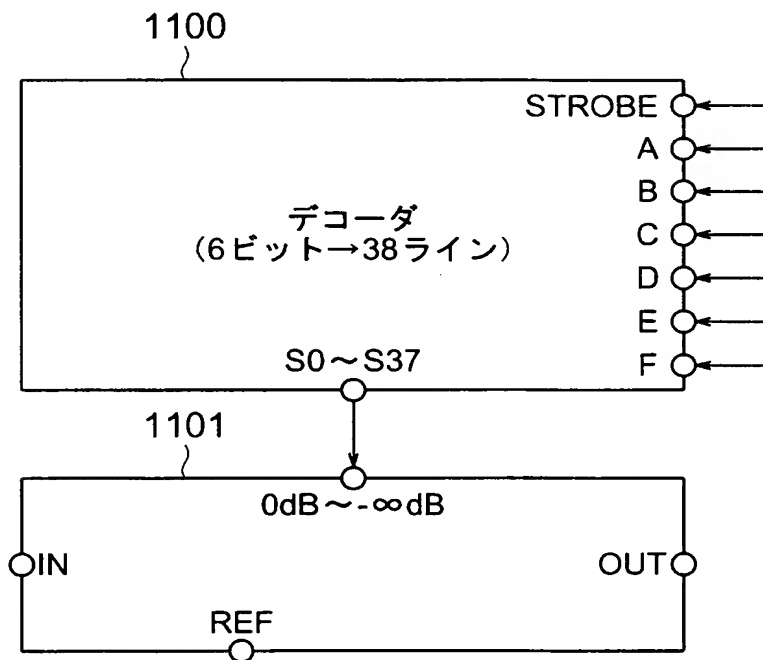
【図 26】



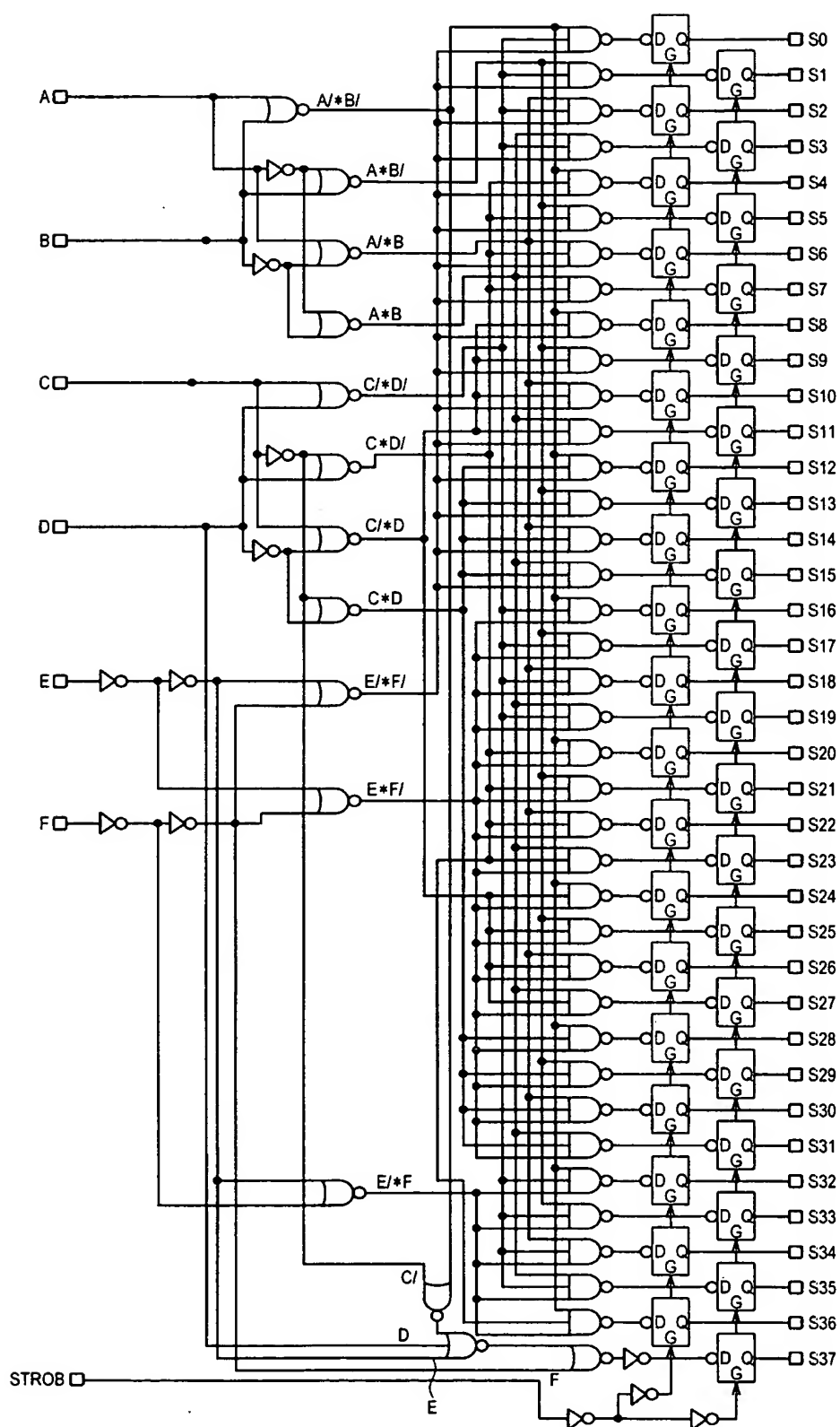
【図 27】



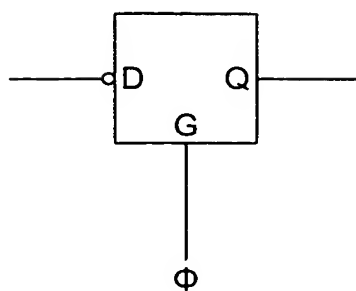
【図 28】



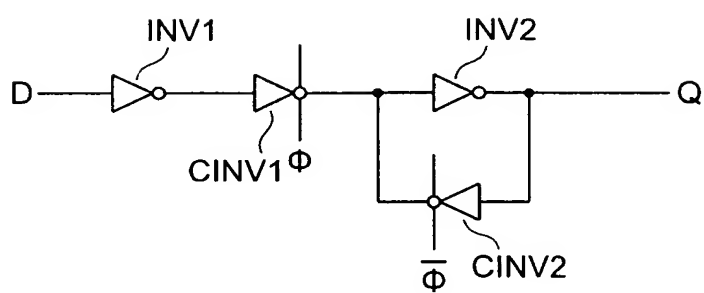
【図 29】



【図 30】



【図 31】

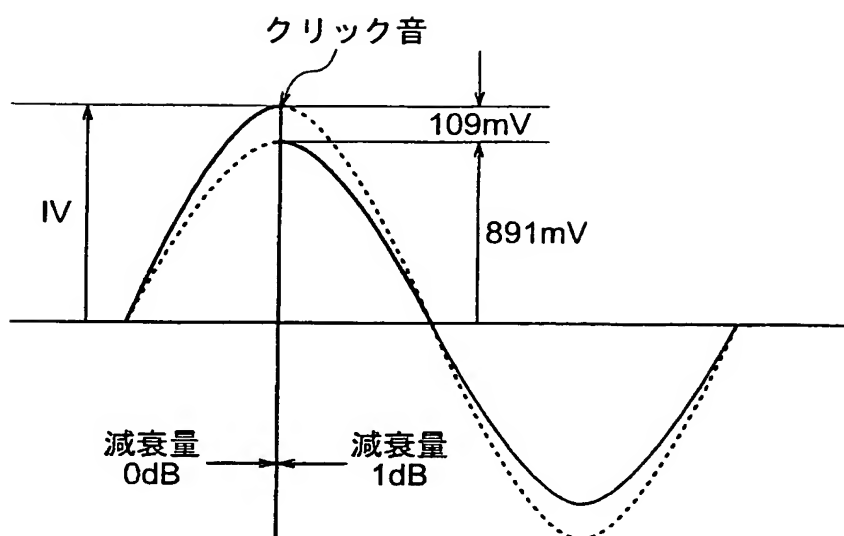


【図 3 2】

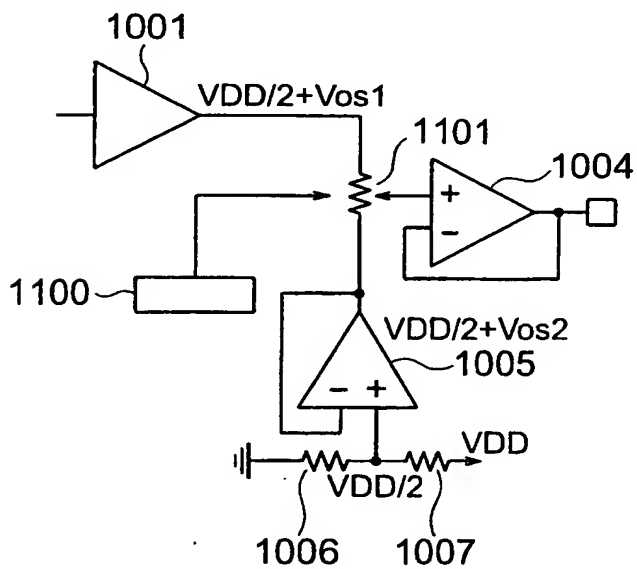
入力						選択線	減衰量(dB)
A	B	C	D	E	F		
0	0	0	0	0	0	S0	0dB
1	0	0	0	0	0	S1	-1dB
0	1	0	0	0	0	S2	-2dB
1	1	0	0	0	0	S3	-3dB
0	0	1	0	0	0	S4	-4dB
1	0	1	0	0	0	S5	-5dB
0	1	1	0	0	0	S6	-6dB
1	1	1	0	0	0	S7	-7dB
0	0	0	1	0	0	S8	-8dB
1	0	0	1	0	0	S9	-9dB
0	1	0	1	0	0	S10	-10dB
1	1	0	1	0	0	S11	-11dB
0	0	1	1	0	0	S12	-12dB
1	0	1	1	0	0	S13	-13dB
0	1	1	1	0	0	S14	-14dB
1	1	1	1	0	0	S15	-15dB
0	0	0	0	1	0	S16	-16dB
1	0	0	0	1	0	S17	-17dB
0	1	0	0	1	0	S18	-18dB
1	1	0	0	1	0	S19	-19dB
0	0	1	0	1	0	S20	-20dB
1	0	1	0	1	0	S21	-21dB
0	1	1	0	1	0	S22	-22dB
1	1	1	0	1	0	S23	-23dB
0	0	0	1	1	0	S24	-24dB
1	0	0	1	1	0	S25	-25dB
0	1	0	1	1	0	S26	-26dB
1	1	0	1	1	0	S27	-27dB
0	0	1	1	1	0	S28	-28dB
1	0	1	1	1	0	S29	-29dB
0	1	1	1	1	0	S30	-30dB
1	1	1	1	1	0	S31	-31dB
0	0	0	0	0	1	S32	-32dB
1	0	0	0	0	1	S33	-33dB
0	1	0	0	0	1	S34	-34dB
1	1	0	0	0	1	S35	-35dB
0	0	1	0	0	1	S36	-36dB
1	0	1	0	0	1	S37	MUTE
0	1	1	0	0	1	S37	MUTE
1	1	1	0	0	1	S37	MUTE
0	0	0	1	0	1	S37	MUTE
1	0	0	1	0	1	S37	MUTE
0	1	0	1	0	1	S37	MUTE
1	1	0	1	0	1	S37	MUTE
0	0	1	1	0	1	S37	MUTE
1	0	1	1	0	1	S37	MUTE
0	1	1	1	0	1	S37	MUTE
1	1	1	1	0	1	S37	MUTE
0	0	0	0	1	1	S37	MUTE
1	0	0	0	1	1	S37	MUTE
0	1	0	0	1	1	S37	MUTE
1	1	0	0	1	1	S37	MUTE
0	0	1	0	1	1	S37	MUTE
1	0	1	0	1	1	S37	MUTE
0	1	1	0	1	1	S37	MUTE
1	1	1	0	1	1	S37	MUTE
0	0	0	1	1	1	S37	MUTE
1	0	0	1	1	1	S37	MUTE
0	1	0	1	1	1	S37	MUTE
1	1	0	1	1	1	S37	MUTE
0	0	1	1	1	1	S37	MUTE
1	0	1	1	1	1	S37	MUTE
0	1	1	1	1	1	S37	MUTE
1	1	1	1	1	1	S37	MUTE

&gt;

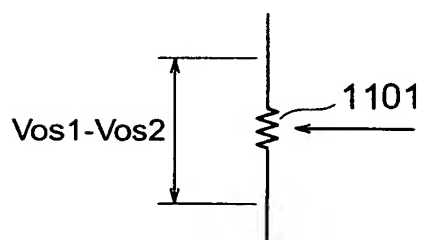
【図 3 3】



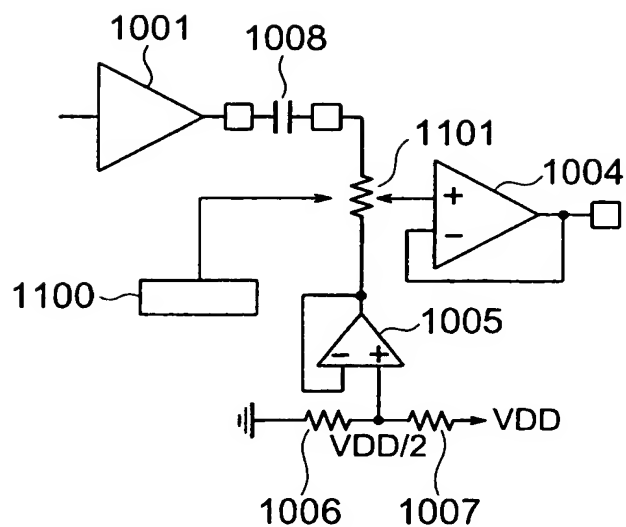
【図 3 4】



【図 3 5】



【図 36】





【書類名】 要約書

【要約】

【課題】 回路規模の増加を抑えつつ減衰ステップを小さくし、減衰量変更時のクリック音を大幅に減らす。

【解決手段】 入力データに基づいて、デコーダ、コンパレータ103、アップ／ダウンカウンタ104、デコーダ105、106から成るスイッチング制御回路により、抵抗器107のスイッチのオン／オフを制御することで、スイッチの数より多い減衰ステップ数を実現し減衰ステップ幅を縮小することで、回路規模の増大を抑制しつつクリック音の発生を防止する。

【選択図】 図1

特願 2 0 0 3 - 1 5 5 0 2 2

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝